



单片型像素探测器及其应用研究进展

邓文静, 殷中宝, 王亚平, 杨苹, 孙向明, 周代翠, 黄光明*

华中师范大学物理科学与技术学院, 武汉 430079

*联系人, E-mail: gmhuang@mail.ccnu.edu.cn

收稿日期: 2023-03-23; 接受日期: 2023-06-08; 网络出版日期: 2023-08-30

国家自然科学基金(编号: 12061141008, 12075100)和国家重点基础研究发展计划(编号: 2022YFA1602103)资助项目

摘要 单片型像素传感器将传感器和读出电路集成在同一硅片上, 具有低物质量、低组装工作量和低成本的优点. 近年来, 单片型像素传感器在高能物理实验领域得到越来越多的关注, 并已成功应用于STAR和ALICE实验中. 通过商用CMOS集成电路技术和针对传感器的工艺优化, 单片型像素传感器在抗辐照性能、空间时间分辨率、功耗和芯片面积等方面都取得了重大进展. 本文旨在介绍单片型像素传感器及其研发过程中需要考虑的重要指标参数, 并结合新工艺、新传感器结构和新读出架构对其研究进展进行概述.

关键词 像素探测器, 单片型像素传感器, 粒子探测

PACS: 07.77.Ka, 29.40.Gx, 07.89.+b

1 引言

像素的概念最初是在成像过程中引入的, 用于描述图像中最小的可辨别元素. 像素探测器是高能物理实验装置中的一种, 具有高时间空间分辨率和高读出速率的特点, 可以记录不可见粒子的图像, 以精确跟踪高能碰撞中产生的粒子, 研究物质的微观结构和运动规律. 像素探测器通常由二维收集电极阵列组成, 采用硅等半导体探测材料. 目前, 像素探测器已广泛应用于带电粒子径迹、光子成像、X射线探测等研究领域, 并逐步从高能物理实验的应用扩展到生物学、航天航空以及工业相关领域.

像素探测器的基本结构可分为传感器和读出电路

两部分. 目前大多数像素探测器使用混合结构, 其中传感器电极和读出电路分别在不同的硅片上制造. 然后, 通过倒装芯片、凸点键合和3D集成等技术, 对两块硅片上的每个像素进行电气连接. 混合型像素探测器的优点是传感器和读出电路可以分别设计. 传感器保持高辐照耐受性和低噪声, 而读出电路则借助大规模集成电路技术实现复杂功能和高读出速率. 然而, 混合型像素探测器随着像素尺寸减小和矩阵面积增大, 二维高密度的凸点键合变得十分困难, 导致制造成本增加和产量降低. 相比之下, 单片型像素探测器将传感器和读出电路集成到一块硅片上, 避免了多层硅之间的电气互连, 具有物质量、组装工作量和总成本方面的优势. 这种结构是可见光探测的标准结构, 如CMOS

引用格式: 邓文静, 殷中宝, 王亚平, 等. 单片型像素探测器及其应用研究进展. 中国科学: 物理学 力学 天文学, 2023, 53: 290019

Deng W J, Yin Z B, Wang Y P, et al. Advancements and applications of monolithic pixel detector (in Chinese). Sci Sin-Phys Mech Astron, 2023, 53: 290019, doi: [10.1360/SSPMA-2023-0115](https://doi.org/10.1360/SSPMA-2023-0115)

图像传感器. 现代CMOS工艺尺寸的缩小, 使得像素探测器的输入电容和像素尺寸进一步减小, 可以提高时间和空间分辨率. 因此, 对于低物质量、大覆盖面积和小像素尺寸的应用, 单片型像素探测器是一种经济实惠且功能强大的选择.

目前, 单片型像素探测器已成功应用于三个高能物理实验中: Belle-II实验中采用的耗尽P沟道场效应晶体管(Depleted P-channel Field Effect Transistor, DEPFET)像素^[1]以及STAR和ALICE实验中使用的单片型有源像素传感器(Monolithic Active Pixel Sensors, MAPS)^[2,3](图1). DEPFET像素由一个PMOS晶体管和耗尽的衬底组成, 其工作原理是通过n阱收集衬底中产生的电荷, 同时改变PMOS沟道的电势, 从而改变PMOS的源漏电流, 完成信号的初步放大. 由于DEPFET拥有较小的收集电极, 因此具有较好的信噪比, 但需要在片外或另一芯片上进行像素矩阵的读出和控制. 随着商用CMOS工艺的发展和普及, 单片型像素探测器的设计和开发也逐步开始采用MAPS技术, 以降

低成本和提高产量. ULTIMATE芯片是高能物理领域首款MAPS芯片, 并已成功应用于STAR顶点探测器^[2]. 该芯片在标准0.35 μm CMOS工艺的p型衬底上引入了高阻率外延层(400 $\Omega\text{ cm}$), 使传感器的辐照耐受性达到 10^{12} $1\text{ MeV n}_{\text{eq}}/\text{cm}^2$. n阱为收集电极, 矩阵内读出电路仅使用NMOS晶体管, 实现了简单的Rolling shutter读出方式. 另一方面, ALICE ITS2探测器则采用了基于MAPS技术的ALPIDE芯片^[3]. 该芯片由CERN联合多个科研机构共同研发, 并在180 nm工艺上制造. 为了同时使用PMOS和NMOS晶体管来构建更复杂和快速的读出电路, ALPIDE芯片不仅在p型衬底上引入了高电阻率的外延层(>1 $\text{k}\Omega\text{ cm}$), 而且还增加了一层深p阱, 可以屏蔽内部包含PMOS晶体管的n阱. 像素内集成了收集电极、模拟前端(放大器和鉴别器)以及数字逻辑电路, 实现了二进制数字读出. 通过对工艺和收集电极几何结构的优化, ALPIDE芯片的抗辐照性能达到 10^{13} $1\text{ MeV n}_{\text{eq}}/\text{cm}^2$. 当然, 这距离当前最严苛的ATLAS和CMS辐射环境(10^{15} $1\text{ MeV n}_{\text{eq}}/\text{cm}^2$)仍有一段距离^[5].

近年来, MAPS在高能物理领域受到了越来越多的关注. 研究方向主要集中在高辐照耐受、高分辨率、快速读出和低功耗等方面, 而研究方法则包括探索新的工艺、传感器结构和读出架构等. 多个课题组所研发的传感器芯片原型, 在多个性能指标的优化上都取得了显著的成果. 本文将详细讨论一些重要的进展和趋势.

2 辐照耐受性

辐射可以分为电离辐射和非电离辐射. 在单片型像素传感器芯片中, 组成读出电路的CMOS晶体管对前者更加敏感, 而传感器结构则对后者更敏感.

2.1 电离辐射

总电离辐射剂量(Total Ionizing Dose, TID)可用Gray或rad为单位进行描述(1 Gy = 100 rad), 而电离辐射在氧化物绝缘体中产生的电荷被捕获并逐渐累积所导致的晶体管电气特性的改变则统称为TID效应. ALICE ITS探测器升级后预期总电离辐射剂量约为10 Mrad^[6], 而ATLAS和CMS则达到100 Mrad^[7,8]. 晶体管氧化层越厚, 因辐射捕获的电荷越多, 所以对TID更敏感. 在现代CMOS工艺中, 栅极氧化物的厚度减小到



图1 (网络版彩图) STAR实验PXL探测器(上)^[4]和ALICE实验ITS探测器的内半筒结构(下)

Figure 1 (Color online) STAR PXL half-detector (top) ^[4] and ALICE ITS half inner barrel (bottom).

几纳米, 对电离辐射的耐受性明显提高. 然而, MOS器件中的其他氧化物绝缘体, 如浅沟槽绝缘体(Shallow Trench Isolation, STI)和栅极侧壁层氧化物等的厚度并未相应减小, 导致TID效应在最小尺寸的晶体管上表现最为明显, 特别是在Mrad或更高的剂量水平下可观察到NMOS管关断电流的增加、PMOS和NMOS管驱动电流和阈值电压的变化, 并且强烈依赖于偏置电压和温度等条件^[9]. 采用一些特殊的版图设计, 例如封闭布局晶体管(Enclosed Layout Transistors, ELT)和保护环, 使沟道不面向STI并加强放电回路, 从而消除了STI中积累电荷相关的影响, 可使0.25 μm 工艺的辐照耐受度达到数十Mrad^[10]. 然而, 由于ELT设计规则的限制及其不灵活的宽长比, 这种非标准布局在深亚微米技术中并不受欢迎. 研究表明, 65 nm以及更深的CMOS工艺上即使是最小尺寸的晶体管, TID的耐受性也可达到100 Mrad^[11,12], 这也是当前高能物理领域专用芯片普遍使用的工艺节点.

除了TID累积效应之外, 电离辐射还会导致单粒子效应, 通常表现为瞬态响应. 辐射会导致逻辑单元电位状态翻转, 这被称为单粒子翻转效应(Single Event Upset, SEU). 如果SEU发生在存储单元中, 将导致信息的丢失, 如果SEU修改了芯片的配置位, 则需重新配置芯片. 为了降低芯片SEU的敏感度, 许多课题组^[13,14]已在不同的工艺上设计了特殊的存储单元, 其中最常见的技术是三重模块冗余, 由三重逻辑和多数表决器组成. 单粒子闩锁效应(Single Event Latchup, SEL)指的是电离辐射导致传感器中的寄生晶体管导通, 使电源和地之间出现意外的高工作电流, 必须通过电源复位来清除. 实验表明CMOS MAPS对SEL较为敏感, 在STAR顶点探测器的初始运行阶段, SEL导致一些器件被永久损坏^[15]. 在ALICE的一些早期ALPIDE原型中, 也观察到了SEL^[5]. 为了尽可能避免SEL效应, 电路需设计得靠近衬底接触点, 从而实现快速放电. 同时, 为了减少SEL对系统造成的损害, 探测器系统应包括SEL检测和自动电源重启功能.

2.2 非电离辐射

当非电离粒子与传感器材料中的原子核碰撞时, 会损失一部分能量并导致晶格中的原子产生位移. 这个过程会在晶格原子之间产生空位和间隙, 而此过程中损失的能量被称为非电离能损(Non-Ionising Energy

Loss, NIEL). 为了量化和比较不同种类和不同能量的粒子的非电离能损, 通常使用1 MeV中子等效注量的损伤效应为单位, 即1 MeV $n_{\text{eq}}/\text{cm}^2$. 传感器二极管反向漏电流是一个重要参数, 它会随着NIEL注量线性增加. 除了增加电子噪声外, 还会导致热效应, 进一步增加漏电流. 因此, 探测器通常会配备适当的冷却系统, 以控制整体电子功耗和漏电流. 另一方面, NIEL在硅晶格中引起的空位和间隙可以捕获自由电荷载流子. 如果捕获电荷的释放时间超过信号形成和处理时间, 则部分电荷实际上会“丢失”, 导致信号幅度降低, 进而降低探测效率. 在ALPIDE芯片的传感器结构中, 由于p阱的限制(高掺杂), 耗尽区域仅限于收集电极附近. 尽管在耗尽区域中产生的电荷能在电场作用下以漂移运动被较快地收集, 但是耗尽区域只占总感应体积的一小部分, 因此, 电荷收集主要通过扩散运动完成, 表现为较长的电荷收集时间和较多像素间的电荷共享. 特别是在大量辐射后, 非耗尽区域产生的电荷更容易被捕获, 导致探测效率下降.

目前, 提高传感器抗辐照性能的主要手段是扩大耗尽区域并增加感应区域的电场强度. 传感器结构优化可分为两个方向. 第一个方向是将所有的读出电路放置在深n阱中, 该深n阱可以覆盖大部分像素面积, 完全耗尽外延层并作为电荷收集电极. 这种结构已经在不同的工艺中得到实现^[16,17], NIEL耐受性可达到 10^{15} 1 MeV $n_{\text{eq}}/\text{cm}^2$. 然而, 这种结构通常需要谨慎设计来消除读出电路与收集电极间的串扰. 此外, 较大的收集电极面积造成较大的输入电容, 使输入节点上的电压幅度减小(Q/C). 相较之下, 另一种小收集电极传感器可以在产生相同电荷的情况下, 以更小的功耗来获得相同的信噪比. 在ALPIDE标准像素结构的基础上加入一层低掺杂深n阱, 可以使小电荷收集电极也能完全耗尽外延层. 测量结果表明, 传感器的电荷收集速率和辐射耐受性得到了显著改善, 并且没有大幅度增加输入电容. 在 10^{15} 1 MeV $n_{\text{eq}}/\text{cm}^2$ 的辐照后, 像素间距为25和30 μm 的像素探测效率达到97%以上, 而标准结构的传感器中则无法提取有用信号^[18]. 然而, 这种优化结构下的像素传感器在严重辐照后像素顶角上出现了探测效率的衰退. 这主要是由于像素顶角的横向电场接近于零, 电荷的收集路径也最长, 导致电荷有更大的概率被捕获, 输入电压信号幅度降低. 在此基础上, 多种新型传感器结构在0.18 μm 工艺上得到

验证, 其中MALTA和Monopix芯片对低掺杂深n阱进行了修改和优化, 在像素边缘增加了间隙或p型注入, 从而增加外延层上的侧向电场梯度以提高像素边缘的电荷收集速率, 减少像素间的电荷共享, 提高传感器抗辐射性能, 在 10^{15} 1 MeV n_{eq}/cm^2 的辐照后探测效率高达98%–99%^[19–21]. 在厚高电阻率柴氏工艺(Czochralski Process)衬底上实现相同的传感器结构, 信号幅度随着传感体积的增加而增加, 进一步提高辐照耐受性^[20].

一些使用绝缘体上硅(Silicon On Insulator, SOI)技术制造的原型传感器芯片已经在文献[22–24]中展示出了良好的性能. 在SOI工艺中, 有源器件(即读出电路)在二氧化硅绝缘层(掩埋氧化物)顶部的薄硅层中制造, 而掩埋氧化物下方的非活性层则被用作耗尽传感器层. 传感器通过直径小于1 μm 的钨通孔连接到读出电路, 因此在小像素区域具有高增益. 但需要注意的是, 氧化硅对TID具有较大的敏感性. 通过引入不同的工艺, 例如双SOI晶圆和优化轻掺杂漏极^[25,26], 可以显著提高辐射耐受性. 虽然SOI传感器已经在许多领域得到了应用, 但在极端的辐射环境(如LHC)中的应用仍需进一步验证.

如引言所述, 随着CMOS工艺的不断发展, 单片型像素传感器的开发正逐渐转移至更小的65 nm工艺节点, 其中包括ALICE ITS探测器升级项目中的DPTS芯片^[27]. 由于65 nm工艺具有更薄的外延层(约为10 μm), 因此传感器结构的优化变得更加重要^[28]. DPTS芯片采用了类似文献[19]的结构, 通过优化深p阱和深n阱的掺杂, 在 10^{15} 1 MeV n_{eq}/cm^2 和10 Mrad辐照后, 其探测效率可达到99%, 为在65 nm工艺上制造单片型像素探测器奠定了坚实的基础.

新工艺和新传感器结构要在高能物理实验中得到应用, TID和NIEL效应的研究是至关重要的一环. 未来更高能量对撞机实验装置(例如HL-LHC)的建设对最内层的像素探测器提出了高达1 Grad和 10^{16} 1 MeV n_{eq}/cm^2 的抗辐照性能要求^[29]. 显然, 单片型像素探测器仍有很大的提升空间, 大量的设计和实验测量工作需投入到传感器抗辐射性能的优化中.

3 像素间距和芯片面积

对于单像素簇群, 空间分辨率由像素间距决定. 当信号电荷由多个像素共享时, 可以通过插值进一步提

高空间分辨率. 因此, 提高像素传感器的空间分辨率的主要方法是减小像素间距和增加像素间电荷共享. 通过模拟插值法, 14 μm 间隔像素已实现了1 μm 的空间分辨率^[23]. 此外, 像素间距越小, 电荷收集路径越短, 电荷收集速率越快. 像素几何形状也可以影响电荷收集特性. 例如, FASTPIX芯片采用了六边形像素^[30], 在相同的像素间距下较传统正方形像素有更短的电荷收集路径和较少的相邻像素. 测试表明, 对于最小电离粒子, 像素间距20 μm 以内的像素时间分辨率可以达到了120–180 ps^[31]. 但是, 这种非正交的几何设计使得像素内读出电路的实现变得更加复杂.

由于标准CMOS工艺能制造的芯片面积受掩膜面积的限制, 最大只能制造几平方厘米大小的芯片. 因此, 探测器的组装需对大量的传感器芯片进行电气连接和机械支撑, 这需要耗费大量的人力和物力. 最新的拼接工艺通过将掩膜分成一些小模块, 这些模块可以单独曝光并与其他模块对齐, 最大可制造覆盖整个晶圆的单个像素传感器芯片, 从而避免组装和连接传感器的复杂工序. 目前, 拼接工艺已广泛应用于高端CMOS图像传感器芯片, 并成功应用于医疗X射线成像^[32], 在高能粒子探测领域引起了更多的关注. ALICE ITS3探测器的开发首先采用了这项技术, 并在65 nm工艺上实现了第一款拼接像素传感器芯片MOSS^[33], 其面积为1.4 cm $\times$ 26 cm. 其中, 长距离电源分配和信号传输是设计的重难点. 像素间电源电压分布不均匀的问题可通过优化电源网络和片内稳压电路解决. 长距离的信号传输需要经过精细设计以满足时序要求和保证信号完整性. 在设计制造晶圆级传感器时, 成品率是另一个挑战. 在ALPIDE芯片量产过程中, 经过减薄、切割和测试, 整体的良品率约为65%^[34]. 就晶圆级尺寸传感器芯片而言, 任何制造过程中产生的缺陷都可能导致芯片出现致命错误, 从而废弃整个晶圆, 这将大大增加制造成本. 因此, 芯片整体方案的设计需要考虑降低芯片对各种故障的敏感性, 并在电路的关键节点上采用保守的实现方案以提高良品率. 在芯片验证阶段, 对可能出现的故障进行全面分析至关重要, 特别是对电源网络和信号总线的分析.

4 读出电路和功耗

单片型像素传感器芯片可以分为两个区域: 像素

矩阵和外围. 在像素矩阵中, 模拟前端、像素内数字逻辑和传感器二极管(特别是受到严重辐照后)都会消耗功率. 外围区域通常包含电压/电流偏置模块、慢控制和读出模块.

由于像素矩阵占据了单片型像素传感器芯片的大部分区域, 减小单个像素面积会导致给定区域中的像素数量增加, 从而增加矩阵和整个芯片的功率密度. 模拟前端通常需要保持活跃状态. 像素输入电荷与输入电容比(Q/C_{in})是在一定带宽下改变模拟前端功耗 P_A 以实现恒定信噪比(S/N)的关键参数^[35]:

$$P_A \propto \left\{ \frac{S/N}{Q/C_{in}} \right\}^m, \quad 2 \leq m \leq 4, \quad (1)$$

其中, 在输入晶体管处于弱反型和强反型的情况下, m 分别等于2和4. 因此, 模拟前端的功耗随输入电容的降低而降低, 这也是小收集电极小输入电容的优势所在. 另一方面, 模拟前端的功耗和时间分辨率往往是需要平衡的性能指标, 例如, DPTS中模拟前端功耗(电流)的可调节范围为10 nA–1 μ A, 当电流为100 nA时(模拟前端功率密度约为65 mW/cm²), 时间分辨率测得约为7 ns, 提高该电流可以实现更高的时间分辨率^[36]. 而传感器二极管的时间分辨率为亚纳秒量级^[28], 由此可见, 芯片时间分辨率主要取决于模拟前端而非传感器二极管.

像素内数字逻辑电路通常采用全定制的方案以最大程度地利用像素面积, 其功耗可描述为

$$P_D = C_L V_{DD}^2 f, \quad (2)$$

其中 C_L 是负载电容, V_{DD} 是电源电压, f 是工作频率. 可以简单理解为大矩阵的功耗很大程度上取决于全局信号的数量及其在给定过程中的工作频率. 传统的Rolling shutter读出逻辑较简单, 但随着像素矩阵行列数的增加, 读出速度受到明显限制. 对于数据驱动的读出架构, 例如ALPIDE的优先级编码器寻址方案^[37], 仅读出命中像素的地址, 提高读出速率的同时使功率密度主要取决于击中率. 在击中率较低的情况下可以实现低至3 mW的矩阵数字功耗, 矩阵的数字功率密度约为0.7 mW/cm² (模拟前端功率密度约为5 mW/cm²). MALTA, FASTPIX和DPTS则采用了非同步的数据驱动读出方式, 即像素被击中后立即向外围电路输出击中像素的地址, 从而也得到了粒子的到达时间, 还可

以通过测量过阈值时间获得粒子的能量信息^[38]. 这种读出方式通常用于对时间分辨率和读出速率要求较高的应用中, 但也意味着较高的功耗. 先进的CMOS工艺提供更低的负载电容和电源电压, 从而为进一步降低功耗提供了可能. 但是, 源漏漏电流(关断电流)会显著增加, 特别是对于短沟道晶体管, 可能明显提高数字电路的静态功耗. 另一方面, 每个像素中传感器二极管的漏电流在辐照前通常为pA量级, 但是在超高剂量辐照后, 此值可上升到nA量级. 因此, 数字电路和传感器二极管的漏电流对功耗的贡献是不可忽视的^[5].

像素矩阵输出的数据需要经过外围数字逻辑处理, 然后通过高速数据链路传输到片外. 虽然外围区域只占芯片面积的一小部分, 但消耗了大部分功率. 例如, ALPIDE芯片的总功耗约为150 mW, 其中约54 mW用于外围逻辑电路, 68 mW用于高速数据链路^[3]. 换句话说, 外围电路的高功率密度可能需要额外的冷却资源. 为了制造仅使用空气冷却的超低物质质量的探测器, 传感器芯片的总功耗密度必须小于20 mW/cm²^[6]. ALICE ITS3目前提出的方案是在晶圆级像素传感器芯片的基础上(最大芯片面积为10 cm×28 cm), 仅在一短侧边放置外围数字逻辑和高速读出链路. 在这种情况下, 探测器的敏感感应区域仅由低功耗的像素矩阵组成, 而非敏感区的短侧边可添加额外的冷却材料, 而不会增加探测器的物质质量.

5 总结和展望

CMOS工艺已成为像素探测器信号处理、数据存储和传输的基石. 完全基于商用CMOS工艺制造的单片型像素传感器为高能物理探测器提供了一种低物质质量、低组装成本、高时间空间分辨率、高读出速率和低功耗的方案. 表1总结对比了本文中提到的几款MAPS的主要性能. 可以看到, 近年来, 随着越来越多的课题组投入到单片型传感器芯片的研发中, 新工艺和新传感器结构使MAPS芯片抗辐照能力有了明显的提高, 各课题组根据不同的实验需求对传感器芯片的不同性能参数进行了优化. 另一方面, 拼接、硅穿孔和多层硅3D集成等先进技术逐渐成熟并广泛应用, 这为像素探测器的研发开辟了全新的路径, 同时单片型和混合型像素探测器的界限也将逐渐变得模糊, 在未

表 1 单片型像素传感器芯片性能比较

Table 1 Performance comparison of monolithic pixel sensors

芯片	ULTIMATE	ALPIDE	MALTA	DPTS	MOSS ^{a)}
工艺(nm)	350	180	180	65	65
像素间距(μm)	20.7	29	36.4	15	18, 22.5
芯片面积	2.3 cm×2 cm	1.5 cm×3 cm	2 cm×2 cm	1.5 mm×1.5 mm	1.4 cm×26 cm
空间分辨率(μm)	<4	5	10	4	5
时间分辨率	—	30 μs	2 ns	7 ns	100 ns
功耗(mW/cm ²)	150	35	128	130	15
TID耐受性(Mrad)	0.15	2.7	100	10	10
NIEL耐受性 (1 MeV n _{eq} /cm ²)	3×10 ¹²	3×10 ¹³	10 ¹⁵	10 ¹⁵	10 ¹⁵
读出方式	rolling shutter	同步数据驱动	异步数据驱动	异步数据驱动	同步数据驱动

a) 设计预期指标, 待测试.

来几年中极有可能实现兼具两者优点的探测器. 无论如何, 像素探测器是高能物理领域不可或缺的关键实验设备, 掌握其核心技术和拓宽其应用领域都是至关重要的.

致谢 感谢CERN ALICE实验合作组及其发言人L. Musa博士的支持, 为本研究提供了宝贵的实验设施、数据资源和专业 知识. 特别感谢W. Snoeys博士的专业指导和建议.

参考文献

1 Kemmer J, Lutz G. New detector concepts. *Nucl Instrum Methods Phys Res A*, 1987, 253: 365–377

2 Dorokhov A, Bertolone G, Baudot J, et al. High resistivity CMOS pixel sensors and their application to the STAR PXL detector. *Nucl Instrum Methods Phys Res A*, 2011, 650: 174–177

3 Aglieri Rinella G. The ALPIDE pixel sensor chip for the upgrade of the ALICE Inner Tracking System. *Nucl Instrum Methods Phys Res A*, 2017, 845: 583–587

4 Contin G, Anderssen E, Greiner L, et al. The STAR Heavy Flavor Tracker (HFT): Focus on the MAPS based PXL detector. *Nucl Particle Phys Proc*, 2016, 273-275: 1155–1159

5 Snoeys W. Monolithic CMOS sensors for high energy physics. *Nucl Instrum Methods Phys Res A*, 2019, 924: 51–58

6 Musa L. Letter of Intent for an ALICE ITS Upgrade in LS3. Technical Report, CERN. 2019

7 Collaboration T A, Aad G, Abat E, et al. The ATLAS experiment at the CERN large hadron collider. *J Inst*, 2008, 3: S08003

8 Collaboration T C, Chatrchyan S, Hmayakyan G, et al. The CMS experiment at the CERN LHC. *J Inst*, 2008, 3: S08004

9 Faccio F, Michelis S, Cornale D, et al. Radiation-induced short channel (RISCE) and narrow channel (RINCE) effects in 65 and 130 nm MOSFETs. *IEEE Trans Nucl Sci*, 2015, 62: 2933–2940

10 Anelli G, Campbell M, Delmastro M, et al. Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: Practical design aspects. *IEEE Trans Nucl Sci*, 1999, 46: 1690–1696

11 Zhang C M, Jazaeri F, Pezzotta A, et al. Characterization of gigarad total ionizing dose and annealing effects on 28-nm Bulk MOSFETs. *IEEE Trans Nucl Sci*, 2017, 64: 2639–2647

12 Dorda Martin A, Ballabriga R, Borghello G, et al. Measurements of total ionizing dose effects in TPSCo 65 nm and influence of NMOS bulk bias. *J Inst*, 2023, 18: C02036

- 13 Faccio F, Kloukinas K, Marchioro A, et al. Single event effects in static and dynamic registers in a 0.25 μm CMOS technology. *IEEE Trans Nucl Sci*, 1999, 46: 1434–1439
- 14 Schrape O, Andjelkovic M, Breitenreiter A, et al. Design and evaluation of radiation-hardened standard cell flip-flops. *IEEE Trans Circuits Syst I*, 2021, 68: 4796–4809
- 15 Contin G. The MAPS-based vertex detector for the STAR experiment: Lessons learned and performance. *Nucl Instrum Methods Phys Res Sect A*, 2016, 831: 7–11
- 16 Perić I, Kreidl C, Fischer P. Particle pixel detectors in high-voltage CMOS technology—New achievements. *Nucl Instrum Methods Phys Res Sect A*, 2011, 650: 158–162
- 17 Dingfelder J, Barbero M, Barrillon P, et al. Progress in DMAPS developments and first tests of the Monopix2 chips in 150 nm LFoundry and 180 nm TowerJazz technology. *Nucl Instrum Methods Phys Res Sect A*, 2022, 1034: 166747
- 18 Snoeys W, Aglieri Rinella G, Hillemanns H, et al. A process modification for CMOS monolithic active pixel sensors for enhanced depletion, timing performance and radiation tolerance. *Nucl Instrum Methods Phys Res Sect A*, 2017, 871: 90–96
- 19 Munker M, Benoit M, Dannheim D, et al. Simulations of CMOS pixel sensors with a small collection electrode, improved for a faster charge collection and increased radiation tolerance. *J Inst*, 2019, 14: C05013
- 20 Pernegger H, Allport P, Asensi Tortajada I, et al. Radiation hard monolithic CMOS sensors with small electrodes for High Luminosity LHC. *Nucl Instrum Methods Phys Res Sect A*, 2021, 986: 164381
- 21 Bepin C, Berdalovic I, Caicedo I, et al. Development and characterization of a DMAPS chip in TowerJazz 180 nm technology for high radiation environments. *Nucl Instrum Methods Phys Res Sect A*, 2022, 1040: 167189
- 22 Arai Y, Miyoshi T, Unno Y, et al. Developments of SOI monolithic pixel detectors. *Nucl Instrum Methods Phys Res Sect A*, 2010, 623: 186–188
- 23 Battaglia M, Bisello D, Contarato D, et al. Characterisation of a pixel sensor in SOI technology for charged particle tracking. *Nucl Instrum Methods Phys Res Sect A*, 2011, 654: 258–265
- 24 Bugiel R, Bugiel S, Dannheim D, et al. High spatial resolution monolithic pixel detector in SOI technology. *Nucl Instrum Methods Phys Res Sect A*, 2021, 988: 164897
- 25 Miyoshi T, Arai Y, Asano M, et al. Advanced monolithic pixel sensors using SOI technology. *Nucl Instrum Methods Phys Res Sect A*, 2016, 824: 439–442
- 26 Hara K, Aoyagi W, Sekigawa D, et al. Radiation hardness of silicon-on-insulator pixel devices. *Nucl Instrum Methods Phys Res Sect A*, 2019, 924: 426–430
- 27 Kluge A. ALICE-ITS3—A bent, wafer-scale CMOS detector. *Nucl Instrum Methods Phys Res Sect A*, 2022, 1041: 167315
- 28 Snoeys W, Aglieri Rinella G, Andronic A, et al. Optimization of a 65 nm CMOS imaging technology for monolithic sensors in high energy physics. In: Proceedings of 10th International Workshop on Semiconductor Pixel Detectors for Particles and Imaging. Santa Fe. 2022
- 29 ATLAS collaboration. Technical Design Report for the ATLAS Inner Tracker Pixel Detector. Technical Report, CERN. 2017
- 30 Kugathasan T, Ando T, Dannheim D, et al. Monolithic CMOS sensors for sub-nanosecond timing. *Nucl Instrum Methods Phys Res Sect A*, 2020, 979: 164461
- 31 Braach J, Buschmann E, Dannheim D, et al. Performance of the FASTPIX sub-nanosecond CMOS pixel sensor demonstrator. *Instruments*, 2022, 6: 13
- 32 Sedgwick I, Das D, Guerrini N, et al. LASSENA: A 6.7 Megapixel, 3-sides Buttable Wafer-Scale CMOS Sensor using a novel grid-addressing architecture. International Image Sensor Workshop. 2013
- 33 Vicente Leitao P, Aglieri Rinella G, Bugiel S, et al. Development of a Stitched Monolithic Pixel Sensor prototype (MOSS chip) towards the ITS3 upgrade of the ALICE Inner Tracking system. *J Inst*, 2023, 18: C01044
- 34 Contin G. The MAPS-based ITS upgrade for ALICE. In: Proceedings of the 28th International Workshop on Vertex Detectors—PoS (Vertex2019). Croatia. 2020
- 35 Snoeys W. Monolithic pixel detectors for high energy physics. *Nucl Instrum Methods Phys Res Sect A*, 2013, 731: 125–130
- 36 Piro F, Aglieri Rinella G, Andronic A, et al. A compact front-end circuit for a monolithic sensor in a 65 nm CMOS imaging technology. In: Proceedings of IEEE Transactions on Nuclear Science. New York: IEEE, 2023. 1
- 37 Yang P, Aglieri G, Cavicchioli C, et al. Low-power priority Address-Encoder and Reset-Decoder data-driven readout for Monolithic Active Pixel Sensors for tracker system. *Nucl Instrum Methods Phys Res Sect A*, 2015, 785: 61–69

- 38 Cecconi L, Piro F, de Melo J L A, et al. Design and readout architecture of a monolithic binary active pixel sensor in TPSCo 65 nm CMOS imaging technology. *J Inst*, 2023, 18: C02025

Advancements and applications of monolithic pixel detector

DENG WenJing, YIN ZhongBao, WANG YaPing, YANG Ping, SUN XiangMing,
ZHOU DaiCui & HUANG GuangMing*

College of Physical Science and Technology, Central China Normal University, Wuhan 430079, China

Monolithic pixel detectors, which combine sensor and readout on a single silicon chip, are gaining popularity as tracking detectors in high-energy physics. They have made significant progress in recent years and have been successfully implemented in STAR (Solenoidal Tracker at RHIC) and ALICE (A Large Ion Collider Experiment). They are fabricated using commercial CMOS technologies and normally undergo some process modification to boost their sensor performance. They offer advantages in detector capacitance, material budget, assembling effort, and total cost over conventional hybrid structures. Similar to commercial ASICs, their process feature size tends to decrease to improve time and spatial detection resolution, readout and computing speed, and power consumption in high-energy physics applications. This paper will provide an overview of monolithic active pixel sensors and their applications. Important aspects of developments will be summarized with some new technologies and innovative readout architectures.

pixel detectors, monolithic active pixel sensors, particle detection

PACS: 07.77.Ka, 29.40.Gx, 07.89.+b

doi: [10.1360/SSPMA-2023-0115](https://doi.org/10.1360/SSPMA-2023-0115)