

# 基于密集采样成像算法的全芯片 可制造性检查技术\*

严晓浪 陈晔\*\* 史峥 马玥 高根生

(浙江大学超大规模集成电路研究所, 杭州 310027)

**摘要** 分辨率增强技术(Resolution Enhancement Technology, RET)在集成电路制造中的应用使得光刻用掩模图形日趋复杂, 而掩模制造成本和制备时间也随之增加. 由于光刻工艺包含了一系列复杂的物理和化学过程, 分辨率增强技术本身很难保证其输出结果的正确性, 因此在制造之前, 利用计算机对已经过处理的版图作可制造性验证变得十分必要. 文中介绍了光刻建模、成像模拟和问题区域查找的算法, 回顾和比较了当今流行的 post-RET 验证方法, 并阐述了基于密集采样成像算法(Dense Silicon Imaging, DSI)的可制造性验证的必要性. 并在密集采样成像算法的各个关键步骤提出了新的加速算法. 在新算法的帮助之下, 以往由于计算量太大而被认为不实用的基于密集采样成像的可制造性检查得到了实现. 文章的最后部分给出了密集采样成像算法在实际中应用的例子和实验结果.

**关键词** 光刻增强技术(RET) 光学邻近效应校正(OPC) 移相掩模(PSM) 可制造性设计(DFM) 光刻仿真

当集成电路的特征尺寸接近光刻机曝光系统的分辨极限时, 在硅圆片表面制造出来的图形相对于电路版图会有明显的畸变, 这种现象通常被称为光学邻近效应(Optical Proximity Effect, OPE). 光学邻近效应的存在严重影响了集成电路制造的成品率. 为了减少光学邻近效应对集成电路技术发展的影响, 工业界提出了光刻分辨率增强技术(Resolution Enhancement Technology, RET), 主要包括光学邻近校正(Optical Proximity Correction, OPC), 移相掩模(Phase Shifting Masks, PSM)和嵌入散射条(Scattering Bars Insertion, SBI)等方法, 以减小光学邻近效应

2004-03-19 收稿, 2005-01-07 收修改稿

\* 国家自然科学基金(批准号: 60176015, 90207002)和国家高技术研究发展计划(批准号: 2002AAZ1460)资助项目

\*\* E-mail: [chenye@vlsi.zju.edu.cn](mailto:chenye@vlsi.zju.edu.cn)

对集成电路制造的成品率的影响,并使现有的集成电路生产设备在相同的生产条件下能制造出具有更小特征尺寸的集成电路。然而RET的使用也大大增加了版图图形的复杂性从而增加了掩模版的制造成本。不适当的RET也可能影响电路性能或者引起电路错误,这种情况下掩模版必须重新制备,这导致制造成本和时间的增加。因此在版图经过RET之后掩模版制造之前,很有必要加入一个验证的步骤,来确保 Post-RET 版图的正确性。通常称这一步骤为可制造性检查(manufacturability verification)<sup>[1~3]</sup>。

在这些可制造性检查技术中,有些问题只能通过密集采样成像算法(Dense Silicon Imaging, DSI)才被检查出来。例如图 1(a)所示的是某已经经过了OPC和散射条插入步骤的 90 nm工艺设计的局部,掩模类型是削弱移相掩模(attPSM)。DSI的模拟结果在图 1(b)中显示。虚线表示在光刻胶感光阈值为 0.3 时经过光刻之后在硅表面形成的图形,实线表示在阈值为 0.15 时在硅表面形成的图形。虽然原始的版图通过了设计规则检查(DRC),也经过了RET校正,然而如果工艺参数发生一定的改变,那么在预想所需图形附近的小块图形也可能留在最终的电路中。这些残留的图形可能会引起电路性能变化,甚或导致电路出错<sup>[4]</sup>。另外在经过RET之后一些图形边缘的光强反差度仍然比较小,这使得工艺参数很小的变化会导致硅表面图形比较大的变化。这样由制造过程中工艺参数的随机变化引起的芯片与芯片之间性能离散度也会比较大。

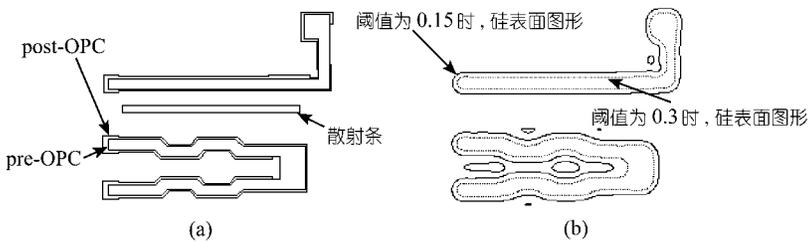


图 1

(a) OPC 前和 OPC 后的版图; (b) 光学模拟结果

图 1 的例子显示了在掩模制造之前使用 DSI 算法对已经经过 RET 校正(Post-RET)的版图作可制造性验证的重要性。作者在最近发表的另一篇文章中<sup>[5]</sup>总结了工业界广泛应用的 RET 方案的不足之处,并描述了一个基于稀疏采样成像算法(Sparse Aerial Imaging SAI)的可制造性验证工具。在本文中我们将阐述基于密集采样成像算法(Dense Silicon Imaging, DSI)的可制造性验证的必要性。并且在密集采样成像算法的各个步骤提出一些新的加速手段。以前由于计算量太大而被认为不实用的基于密集采样成像可制造性检查在新算法的帮助之下可以得到实际应用。

## 1 光刻建模和 Post-RET 验证的方法

一般来说, 为了能够精确地对版图作预矫正, 需要了解芯片制造流程的详细信息, 它可以表现为一组规则(Rule Based)也可以表现为一个经过实际生产数据校正的物理模型(Model Based)<sup>[6,7]</sup>. 一个有足够精度并且足够快速的模拟从版图图形到硅表面图形转换过程的模型是应用基于模型的RET和Post-RET验证的基础. 从掩模版制造到蚀刻, 许许多多的制造步骤包括了一系列的物理化学过程, 使建立模型成为一个艰难的任务. 光刻成像作为对硅表面成形影响最大的一种过程, 已经得到了广泛深入的研究, 在实践中它通常用空间域和频域的霍普金斯公式来描述. 这是一个双线性模型, 能够保证一定的计算速度. 由于光刻过程中的其他一些制造过程比如显影, 烘烤和蚀刻通常都可以用线性模型来描述. 在实际的模型中, 一般会将这些线性模型合并到霍普金斯公式描述双线性模型中, 这样不但降低整个光刻模型的复杂度也减少了计算量. 通过这种模型计算所得的光强实际并不是单纯的光强, 而是描述了大部分的光学邻近效应的伪光强. 硅表面的图形通过判断各点的伪光强是否超过光刻胶感光的阈值来确定<sup>[8-10]</sup>. 在本文中这种过程被称为硅表面成像(Silicon Imaging).

(1)式列出了霍普金斯公式空间域和频域的表述形式, 其中  $I(x,y)$  和  $I(f,g)$  是伪光强,  $F(x,y)$  和  $F(f,g)$  是掩模透射函数,  $TCC(x_1, y_1; x_2, y_2)$  和  $TCC(f_1, g_1; f_2, g_2)$  是透射交叉相干函数, 它描述了除了掩模以外的整个光学系统. 光强分布通过掩模透射函数与  $TCC$  函数卷积得到.

$$I(x, y) = \iint \iint F(x_1, y_1) \times F(x_2, y_2)^* \times TCC(x - x_1, y - y_1; x - x_2, y - y_2) dx_1 dy_1 dx_2 dy_2, \quad (1a)$$

$$I(f, g) = \iint F(f_1, g_1) \times F(f_1 + f, g_1 + g)^* \times TCC(f_1, g_1; f_1 + f, g_1 + g) df_1 dg_1, \quad (1b)$$

$$I(x, y) = \sum_i (F(x, y) \otimes K0_i(x, y))^2. \quad (2)$$

作为双线性系统的基本特性之一, 用霍普金斯公式描述的光学系统可以分解成为一系列线性系统的叠加, 即 4-D的  $TCC$  函数可以分解为一系列的 2-D函数的叠加. 这种方法被称为“主波分解”(principle wave decomposition), 这一系列 2-D函数被成为“卷积核”(convolution kernel)<sup>[5,8,11,12]</sup>. 实际运用中可以取一组有限个数的卷积核  $\{K0_i\}$  作为双线性系统 4-D传输函数的一个近似. 一般来说, 取 6~8 个权重最大的卷积核即可达到足够的精度. 空间点光强通过(2)式计算, 与 (1a) 式相比所需的计算量大大减少. 表 1 是卷积核形式的光刻模型针对某一 0.13 nm 工艺实测数据校正后的残留误差. 可以看到相对误差在  $\pm 10\%$  之内, 能够比较准确的模拟该工艺的实际情况.

表 1 某 0.13 nm 多晶硅层光刻模型校正结果

	平均误差/nm	最大误差/nm	标准偏差/nm	测试点总数
预测线宽	4.3	7.0	1.7	431
预测线端	16.0	20.8	11.3	

这种建模和光强计算的方法在 OPC 工具得到广泛应用. 它也可以同样用于 Post-RET 的验证. 实用的 Post-RET 验证流程通常首先使用基于 DRC 的几何图形匹配辨认问题可能存在的区域, 比如 MOSFET 沟道过短只可能出现在沟道所在的区域. 然后在版图图形边缘附近稀疏地选取采样点并计算点光强, 以确定实际硅表面图形的边缘位置, 这种方法被称为稀疏采样成像算法, 它极大程度的减少了计算点光强的实际次数, 从而能够对版图作快速的检查. 采用这种方法检查诸如沟道变形, 通孔包含等电路问题的工具已经在实际生产中得到应用<sup>[2,5,13]</sup>.

另一方面以稀疏采样成像算法为中心的验证也有它的局限性. 由于稀疏采样成像算法只在版图图形边缘计算点光强, 所以它只能确定版图原有图形经过光刻后硅表面图形的变化, 而不能预测版图中没有而经过光刻后在硅表面出现的图形. 如图 1(b)所示的情形, 一些小块的图形在版图图形以外的区域出现, 这些图形不能通过稀疏采样成像算法检查出来. 因此, 即使大部分的采样点与可制造性问题无关, 基于密集采样成像算法的全芯片的检查也是必要的.

事实上密集采样成像算法早于稀疏采样成像算法出现. 可以在 SPLAT 以及与其类似的仿真工具<sup>[14~17]</sup>中找到它的实现. 通过使用传统的加速算法<sup>[15~17]</sup>, 比如 FFT, 能够达到一定的速度. 在下一节, 我们利用密集采样光刻成像算法的特殊性质提出了一些新的加速算法, 从而使全芯片密集采样光刻成像的计算速度更接近实用.

## 2 全芯片范围的密集采样成像算法

在阐述算法之前, 我们首先假设一个表征某一特定光刻制造流程的模型已经预先建立, 如前所述, 它一般表示为一组卷积核. 使用这些卷积核, 我们的算法可以和工业界流行的 OPC 工具和验证工具保持一定的一致性.

### 2.1 建立频域形式的 TCC

第一步的工作是重建 TCC, 通过(3)式, 我们可以从卷积核得到频域形式的 TCC. 利用频域形式的 TCC 通过(1b)式计算点光强是新算法的基础.

$$TCC(f_1, g_1; f_2, g_2) = \sum_i (FT[K_{0i}(x, y)]) \times (FT[K_{0i}(x, y)])^{*T}. \quad (3)$$

## 2.2 卷积核在空间域扩展

通常在计算某一点光强的时候可以近似认为只有这点附近一定距离范围内(用 $R_0$ 表示)的图形对中心点的光强有贡献. 在这种近似下只需要 $2R_0 \times 2R_0$ 区域内的掩模图形就能计算中心点的光强, 即卷积核在空间域上是有限的, 它的大小是 $2R_0 \times 2R_0$ . 为了精确计算一个 $L \times L$ 区域的光强, 则需要至少 $L+2R_0$ 的空间区域. 在我们的算法中, 我们选择 $L=2R_0$ 作为每次计算区域的大小. 这就需要建立由一组新的拥有 $4R_0$ 的空间范围的卷积核 $\{K_i\}$ 表征的系统, 这些卷积核可以通过原来的卷积核 $\{K_0\}$ 在空间域上的扩展而得到. 再通过(3)式可以从 $\{K_i\}$ 建立一个新的频域TCC.

通常在计算时使用的掩模图形是在 $X$ 和 $Y$ 方向周期拓展后的图形, 如图2所示, 这时图形的Fourier变换就是它的DFT, 可以利用FFT算法加速计算. 本文算法中每次参与于计算的是 $4R_0 \times 4R_0$ 掩模区域, 但只有中间的 $2R_0 \times 2R_0$ 区域的光强值是准确的, 下面的章节将会利用光强计算中的特殊性来提高算法的效率.

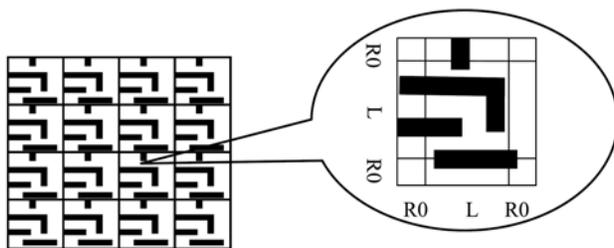


图2 周期化的掩模区域图

## 2.3 掩模图形的 Fourier 变换

为了减少对每个 $4R_0 \times 4R_0$ 区域作2-D傅立叶变换的计算量, 我们来研究相邻两个区域的计算过程. 如图3所示, 阴影区域是相邻的两块计算区域, 在上面提

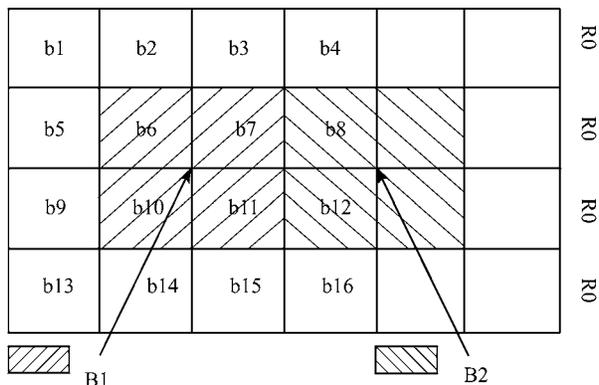


图3 相邻的区域有8个相同的基元块

到, 每个计算区域之外  $R_0$  距离之内的掩模图形对所计算的光强也有影响, 所以每次实际计算的区域是  $4R_0$ , 然后取中间  $2R_0$  区域的值. 如果我们把每个  $R_0 \times R_0$  的区域称为一个“基本块”(Element Block, EB), 可以发现相邻区域计算有 8 个 EB 是共同的, 这些 EB 不需要重复的计算, 而只需要对计算值作  $k\pi/2$  的相移就行. 使用这个方法, 每个 EB 只需要计算一次, 其他的计算结果只需要通过改变原有计算结果实部或虚部的符号得到.

另一方面, post-RET 的版图可以分解成一系列有着正或负的投射率的矩形和等腰直角三角形的组合<sup>[12]</sup>. 这些几何图形的频谱都是一系列 sinc 函数的组合. 例如, 一个左下角坐标为  $(x_0, y_0)$ , 右上角坐标为  $(x_1, y_1)$  的矩形的频谱可以通过(4b)式表述.

$$P(u, v) = (e^{-2\pi j u x_1} - e^{-2\pi j u x_0}) * (e^{-2\pi j v y_1} - e^{-2\pi j v y_0}), \quad (4a)$$

$$F(u, v) = C * 1/u * 1/v * P(u, v). \quad (4b)$$

由于光刻过程是带宽有限的, 每个矩形或等腰直角三角形都可以在带宽范围内的  $M * M$  个谐波来表示. 而且在计算中掩模是离散化的, 相邻两个计算点之间的间距由掩模分辨率和目标计算精度决定. 这样我们可以预先计算每一点与参考边所成矩形的频谱的  $M * M$  个谐波的幅值并建立查找表(look-up table LUT), (4a)式中的  $P(u, v)$  可以通过查表快速计算. 在对 EB 中每个矩形的  $P(u, v)$  值求和之后, 将结果乘上  $1/u * 1/v$  就得到了  $F(u, v)$ , 如(4b)式所示. 如果 EB 含有等腰直角三角形, 那么也作类似的操作, 不过所用查找表中包含的是每一点与参考边所成等腰直角三角形的频谱. 总的来说, 计算一个可以分解成  $N$  个矩形和等腰直角三角形的版图区域的傅立叶变换, 并且谐波次数是  $M * M$ , 需要  $(3 \sim 4) * N * M * M$  次查表操作和  $3 * M * M(u, v)$  对的乘法操作. 这比直接计算快几个数量级.

## 2.4 特殊化的 IFFT 算法

上面的几个部分描述了如何计算每个  $4R_0 \times 4R_0$  区域伪光强的频谱值. 最终我们需要得到的是光强在空间里的分布情况. 这可以通过对频谱作傅立叶反变换得到. 具体的说是通过一次  $M * M$  输入和  $N * N$  输出的二维 IDFT 计算得到. 其中  $M * M$  是谐波总数,  $N * N$  是区域中需要的采样点总数.  $M$  的值由系统的带宽决定. 在这里  $M = 4R_0 * NA * (1 + \sigma) / \lambda$ . 其中  $NA$  是光学系统的数值孔径,  $\sigma$  是照明的相干系数而  $\lambda$  是光源的波长. 通常  $M$  会远小于  $N$ , 这里实际利用了傅立叶插值的方法, 以得到比较精细的图案<sup>[15-17]</sup>.

对光强频谱作傅立叶反变换(IDFT)占了光强分布计算的大部分时间, 所以  $M * M$  输入  $N * N$  输出的二维 IDFT 的计算速度是一个关键. 为了提高其计算速度, 我们可以利用以下的三个性质.

) 从(1b)和(3)式可知  $I(f, g) = I^*(-f, -g)$ , 所以  $I(x, y)$  总是实数.

) 一个 2-D IDFT 有  $M * M$  个输入和  $N * N$  个输出是对输入作傅立叶插值的情形.

) 每次计算中只有中间的  $N/2 * N/2$  区域是所需要的.

假设有两个信号, 在频域中它们的表达式为  $F_1(k)$  和  $F_2(k)$ , 它们的空间域形式为  $f_1(n)$  和  $f_2(n)$ . 如果  $f_1(n)$  和  $f_2(n)$  都是实函数, 那么我们可以构造一个新的函数  $g(n)$ , 它的实部是  $f_1(n)$  而虚部是  $f_2(n)$ ,  $g(n)$  的频域形式可以通过一次 FFT 计算得到, 并且它的实部和虚部分别为  $F_1(k)$  和  $F_2(k)$ , 如(5a)和(5b)式所示. 将这种方法扩展到 2-D 的情况, 每两块区域光强频谱的 IDFT 可以通过一次 IDFT 的计算得到. 计算结果是复光强, 它的实部和虚部分别代表了两块区域的光强分布.

$$f_1(n) = \sum_{k=0}^{N-1} F_1(k) W_N^{nk}, \quad f_2(n) = \sum_{k=0}^{N-1} F_2(k) W_N^{nk}, \quad (5a)$$

$$g(n) = f_1(n) + j f_2(n) = \sum_{k=0}^{N-1} (F_1(k) + j F_2(k)) W_N^{nk}. \quad (5b)$$

现在我们来研究图 4 所示的插值的 2-D IDFT, 不失一般性, 我们假定  $M * M$  个输入和所需要的  $N/2 * N/2$  个输出都在左上角. 并且如图 4 所示, 输入的大部分区域填充的是 0. 图 5 给出了一种由两步组成的算法, 只需要  $(M + N/2)$  次  $N$  点的 DFT, 与标准行列 2-D DFT 需要  $2N$  次  $N$  点 DFT 相比, 速度差不多提高了 4 倍.

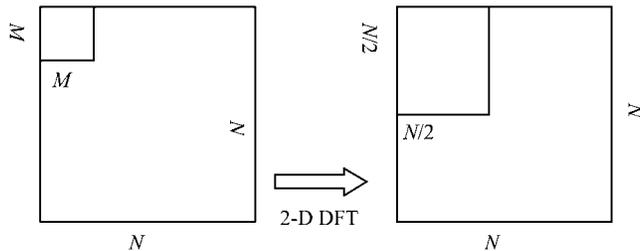


图 4 特殊的插值 2-D DFT 算法

更进一步, 还可以利用图 5 中每一步 1-D  $N$  点 DFT 的特殊性, 减少计算量. 首先每次 DFT 的输入, 除了开始的  $M$  个点, 其余点的值都是 0. 其次, 只需要计算  $N/2$  点的输出值. 假设有两个有如此性质的  $N$  点 DFT, 他们的输入分别是  $X(m)$  和  $Y(m)$  (其中  $m = 0, \dots, M-1$ ). 如果我们能建立一个新的信号  $\{Z(k), k = 0, \dots, 2M-1\}$ , 它的空间域形式半个周期  $\{z(n), n = 0, \dots, N-1\}$  由  $x(n)$  构成, 另外半个周期由  $y(n)$  构成, 那么插值的结果可以通过对  $Z(k)$  作一次  $2M-N$  的 DFT 得到. 图 6 展示了一个建立这样的信号  $z(n)$  的线性系统.

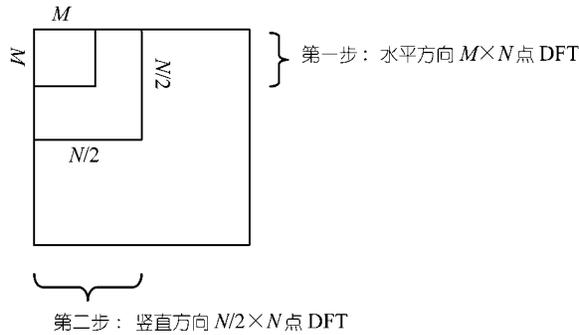


图 5 先对  $M$  行作 1-D DFT 然后对  $N/2$  列作 1-D DFT

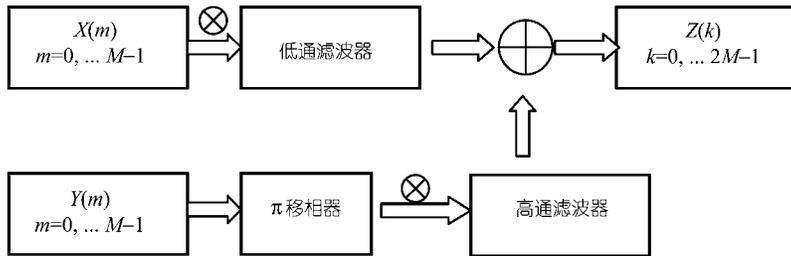


图 6 从  $X(m)$  和  $Y(m)$  构造新信号  $Z(k)$

图 6 所示的低通滤波器和高通滤波器是由两个  $M$  阶 FIR 滤波器实现的. FIR 滤波器能有效的减少信号之间的混叠(通带外 $<1\%$ ), 同时也保证了通带增益的一致性(增益波动 $<1\%$ ), 图 7 是两个滤波器 LPF 和 HPF 频域响应图. 为了计算一共含有  $2M$  个值的  $Z(k)$ , 需要先将  $X(m)$  和  $Y(m)$  作  $2M$  点的 IFFT, 然后对组合后的信号作一次  $2M$  点的 FFT.

由于 FIR 滤波器通带边缘的点的增益会远小于 1, 如图 7 所示的  $Q$  个点, 为了减少计算误差, 对于这些点的 IDFT 值必须直接从  $X(m)$  或  $Y(m)$  计算而不是通过  $Z(k)$  计算. 这一步骤可以利用文献[18]所述的算法进一步减少计算量.

使用上面所述的滤波组合算法, 原来的两个  $M$ -to- $N$  IDFT 可以通过一个  $2M$ -to- $N$  IDFT 和 3 个  $2M$ -to- $2M$  DFT 以及一些在滤波器通带边缘的额外计算来计算得到. 如果我们认为标准  $N$ -to- $N$  FFT 需要的浮点运算为  $4N \cdot \log_2 N$ , 新算法将计算量从  $8N \cdot \log_2 M$  减少到大约  $(4N + 24M) \cdot (1 + \log_2 M)$ . 由于在密集采样成像的计算中  $M$  远小于  $N$ , 速度大约可以提高 2 倍.

对于一个  $4R_0 \times 4R_0$  的版图区域, 利用上文提出的特殊化的 2-D IFFT 算法, 中间  $2R_0 \times 2R_0$  区域平均每个计算点的所需的计算量为  $2 \cdot \log_2 M$ . 与本节开始所描述的插值 2-D IFFT 相比, 新方法可以提高将近 16 倍的计算速度. ( $2 \times 4 \times 2$  对于

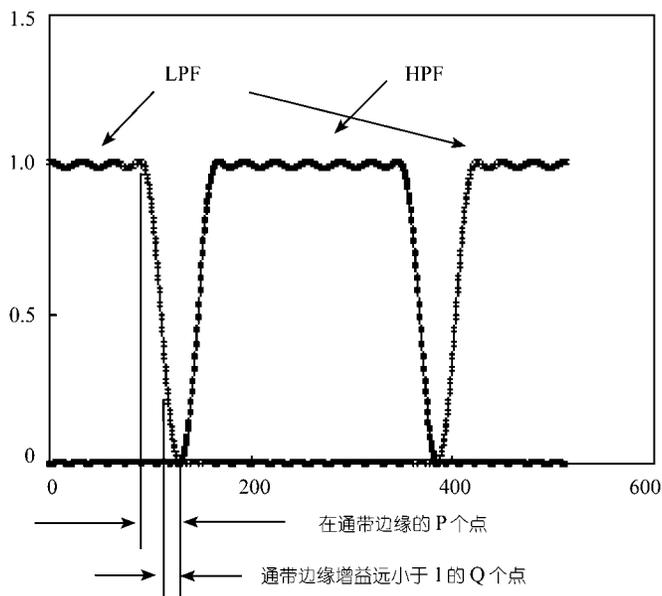


图 7 图 6 所示 LPF 和 HPF 滤波器的频域响应

每个性质). 这大概是标准行/列IFFT算法的  $16 \cdot \log_2 N / \log_2 M$  倍. 表 2 给出了一个计算量比较的例子.

表 2 32X32-to-512X512 2-D IDFT 计算量比较

	FLOPS	速度比
标准行/列 2-D IFFT	23592960	
本文所述的特殊 2-D IFFT	1338400	~17.6

### 3 基于 DSI 可制造性检查的实现与实验结果

利用上面所述的算法我们建立了一个基于全芯片 DSI 的图形边缘光强反差度检查的工具. 如前文所述在图形边缘光强反差度低的区域, 制造过程中工艺参数的随机变化会引起硅表面图形形状较大的改变甚至产生一些掩模上不存在的图形, 这些被称作“突起”(side-lobes)和“浮渣”(scum)<sup>[19,20]</sup>的图形通常是不能被基于稀疏采样的 RET 工具检查到.

检查的第一步是对每次计算区域作 DSI, 然后挑出光强值在光刻阈值附近的点. 之后, 通过两个 Sobel 算子与计算点附近的图像卷积可以得到  $x$  方向和  $y$  方向的光强分布的梯度  $G_x$  和  $G_y$ , 这是图形边缘光强低反差度的判断依据, 当  $G_x$  或  $G_y$  小于一定值就可以认为这一点的反差度比较低. 由于在光强值在阈值范围内的点的是稀疏的, 这一步骤与 DSI 相比通常只占一小部分的计算时间. 芯片

中的所有低反差度区域会被标记出来, 被标记的区域是问题可能存在的区域, 可以对其作进一步的检查. 图 8 给出了图 1 中的版图经过图形边缘光强反差度检查后的结果. 黑点标记出了低光强反差度的区域. 通过适当的选择阈值的范围和反差度范围, 只有值得注意的区域在图中被标记出来. 表 3 给出了一个实际的例子, 基于本文所提出算法, 对  $1\text{ mm} \times 1\text{ mm}$  尺寸的芯片作 DSI 检查能在 24 h 之内完成.

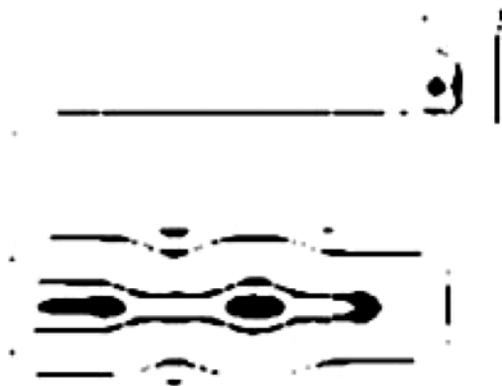


图 8 低反差度区域的分布

表 3 某一 90 nm 设计低光强反差检查结果

芯片面积	工艺	R0	采样间隔	$M$	$N$	计算机类型	计算时间
$1\text{ mm} \times 1\text{ mm}$	90 nm	1280 nm	10 nm	$< 32$	512	$2 \times \text{P4/1.8G}$	$\sim 20,000\text{ s}$

## 4 结论

在亚波长光刻技术条件下, 由于严重的光学邻近效应的存在, 需要采用更加积极的 RET 来提高可制造性和成品率. 本文阐述了基于密集采样成像算法的 post-RET 可制造性验证的必要性, 并针对密集采样成像算法的关键步骤提出了加速的算法. 应用这些算法使得基于密集采样成像算法的全芯片 post-RET 验证技术可以实用化. 文章给出了一个图形边缘光强低反差度检查方案, 这是利用密集采样成像算法作全芯片 post-RET 验证的一个实例. 实验结果表明文章提出的算法是切实有效的.

致谢 作者感谢中芯国际(SMIC)的工程师所提供的帮助.

## 参 考 文 献

- 1 Ogawa K, Ashida I, Kawahira H. New mask data verification method after optical proximity effect correction. SPIE, 2001, 4409: 186~193 [\[DOI\]](#)

- 2 Malhotra V, Chang F. Verifying the ‘Correctness’ of your optical proximity correction designs. SPIE, 1999, 3679: 130~137 [\[DOI\]](#)
- 3 Wong A K. Microlithography: Trends, Challenges, Solutions, and Their Impact on Design. Micro IEEE, 2003, 23(2): 12~21 [\[DOI\]](#)
- 4 Karklin L, Mazor S, Joshi D. Subwavelength lithography: An impact of photo mask errors on circuit performance. SPIE, 2002, 4691: 259~267 [\[DOI\]](#)
- 5 Yan X, Chen Y, Shi Z, et al. Architecture of a Post-OPC silicon verification tool. Proc ASICON, 2003, 1365~1368
- 6 Kahng A B, Pati Y. Subwavelength lithography and its potential impact on design and EDA. Proc ACM/IEEE Design Automation Conf, 1999, 799~804
- 7 Rieger M, Mayhew J, Panchapakesan S. Layout design methodology for Sub-wavelength manufacturing. Proc ACM/IEEE Design Automation Conf, 2001, 85~88
- 8 Stirniman J, Rieger M. Spatial-filter models to describe IC lithographic behavior. SPIE, 1997, 3051: 469~478 [\[DOI\]](#)
- 9 Chen Z, Shi Z, Wang G, et al. A new method of 2D contour extraction for fast simulation of photolithographic process. Chinese Journal of Semiconductors, 2002, 23(7): 766~771
- 10 ranik Y, Cobb N, Do T. Universal process modeling with VTRE for OPC. SPIE, 2002, 4691: 377~394 [\[DOI\]](#)
- 11 Pati Y, Kailath T. Phase-shifting masks for microlithography: Automated design and mask requirements. Journal of the Optical Society of America A-Optics Image Science and Vision, 1994, 11(9): 2438~2452
- 12 Cobb N, Zakhor A. A mathematical and CAD framework for proximity correction. SPIE, 1996, 2726: 208~222
- 13 Sahouria E, Granik Y, Cobb N, et al. Full-chip Process Simulation for Silicon DRC. International Conference on Modeling and Simulation of Microsystems, 2000
- 14 Lee S, et al. LAVA Web-based remote simulation: Enhancements for education and technology innovation. SPIE, 2001, 4346: 1500~1506 [\[DOI\]](#)
- 15 Cobb N, Zakhor A. Large-area phase-shift mask design. SPIE, 1994, 2197: 348~360
- 16 Qian Q, Leon F. Fast algorithms for 3D high NA lithography simulation. SPIE, 1995, 2440: 372~380
- 17 Bernard D, Li J, Rey J, et al. Efficient computational techniques for aerial imaging simulation. SPIE, 1996, 2726: 273~287
- 18 Sorensen H, Burrus C. Efficient computation of the DFT with only a subset of input or output points. IEEE Transactions on Signal Processing, 1993, 41(3): 1184~1200 [\[DOI\]](#)
- 19 Dolainsky C, Karakatsanis P, Gans F, et al. Simulation-based method for sidelobe suppression. SPIE, 2000, 4000: 1156~1162 [\[DOI\]](#)
- 20 Toublan O, Cobb N, Sahouria E. Fully automatic side lobe detection and correction technique for attenuated phase-shift masks. SPIE, 2001, 4346: 1541~1547 [\[DOI\]](#)