CMOS 毫米波芯片与 4096 发射/4096 接收超大规模集成相控阵设计实现

赵涤燮^{1,3}, 陈智慧^{2,3}, 尤肖虎^{1,3*}

1. 东南大学移动通信国家重点实验室, 南京 210096

2. 成都天锐星通科技有限公司, 成都 610000

3. 网络通信与安全紫金山实验室, 南京 211100

* 通信作者. E-mail: xhyu@seu.edu.cn

收稿日期: 2020-12-31; 接受日期: 2021-01-27; 网络出版日期: 2021-02-24

国家重点研发计划 (批准号: 2019YFB1803000) 资助项目

摘要 大规模相控阵是解决毫米波无线传输距离受限的核心关键技术. 传统的毫米波相控阵通常基于化合物半导体芯片加以实现, 该类芯片成本高昂且难以实现系统单片集成, 极大地限制了传统相控阵的应用范围. 本文报道了基于 CMOS 成熟工艺的毫米波芯片设计及收发通道数为 4096 (4096 发射/4096 接收) 的超大规模集成相控阵实现技术. CMOS 体硅工艺具有集成度高、成本低廉等优势, 但面临有源器件高频性能差、无源器件及互连线高频损耗大、高低温性能差异大等一系列技术瓶颈. 通过引入电流复用跨导增强型低噪声放大器、基于新型版图结构的高效率功率放大器、矢量调制型数控无源移相器、基于电容补偿的超宽带衰减器、紧凑型功分器, 以及高低温自适应偏置电路等技术, 可以较好地解决 CMOS 体硅工艺所面临的上述瓶颈问题. 基于 65 nm CMOS 体硅工艺, 所实现的 Ka 频段 CMOS 相控阵芯片噪声系数为 3.0 dB, 发射通道效率为 15%, 无需校准即可实现精确幅相控制, 相关测试结果表明所研制的低成本相控阵芯片具有集成度高、幅相控制精确等优势, 噪声系数等关键技术指标接近砷化镓工艺. 以此为基础, 本文给出了基于多层混压 PCB 工艺的 1024 发射/1024 接收超大规模“集成相控阵”设计技术, 并将其扩展至 4096 发射/4096 接收相控阵规模, 最后给出了低成本、高集成宽带卫星移动通信终端在车载和船载条件下的示范应用结果.

关键词 毫米波, 集成电路, CMOS 工艺, 接收机, 发射机, 多层混压 PCB 工艺, 集成相控阵, 宽带卫星通信

1 引言

Sub-6 GHz 频段的可用频谱资源已日趋匮乏, 而毫米波频段以其带宽资源丰富的显著优势, 将成为宽带卫星通信、5G 乃至未来 6G 移动通信发展的“黄金”频段^[1,2]. 图 1 显示了无线移动通信频谱

引用格式: 赵涤燮, 陈智慧, 尤肖虎. CMOS 毫米波芯片与 4096 发射/4096 接收超大规模集成相控阵设计实现. 中国科学: 信息科学, 2021, 51: 505–519, doi: 10.1360/SSI-2020-0404

Zhao D X, Chen Z H, You X H. Design and implementation of CMOS millimeter-wave ICs and 4096 TX/4096 RX very-large-scale integrated phased-array antenna (in Chinese). Sci Sin Inform, 2021, 51: 505–519, doi: 10.1360/SSI-2020-0404

图 1 毫米波通信频谱分布

Figure 1 Spectra allocation of millimeter-wave communications

分布, 宽带卫星通信和 5G 毫米波通信主要工作在 Ku/Ka/Q/V 频段, 毫米波频段超宽带的特点使得通信传输速率超过数 Gb/s. 工作在毫米波频段的天线单元面积小, 相同口径下可以集成更多数量的天线, 大规模阵列天线实现波束能量聚集, 弥补由于频率过高导致的传播损耗. 可以证明, 相比于工作在 3 GHz 的微带天线, 工作在 30 GHz 阵列天线在相同天线口径下可以集成 64~100 个微带天线单元, 在发射和接收端同时使用阵列天线能够提升等效接收能量^[1]. 因此, 大规模阵列天线可有效解决毫米波通信远距离覆盖的难题.

通过控制大规模阵列天线中每一个天线单元的相对时延, 可以进一步构成相控阵天线系统^[3]. 相控阵系统作为一个空间滤波器, 能有效接收和发射特定方向的信号, 同时衰减其他方向的信号, 其在方向选择性和天线等效增益等方面的优势可以大大提升通信系统的性能. 相比于机械扫描天线, 相控阵天线具有体积小、重量轻、高速电扫描等特点, 在切换波束时无需像传统机械扫描天线一样进行连续机械控制和重新定位, 因此具有更高的可靠性. 传统大规模毫米波相控阵系统往往基于单一功能的砷化镓芯片和微波器件微组装实现, 其高复杂度、大体积和高成本增加了实现难度也限制了应用范围^[4,5]; 随着新技术和新工艺的成熟, 基于全集成多功能砷化镓收发组件芯片的相控阵系统在整体性能上得到了提升, 但是砷化镓晶圆成本相对较高、工艺良率相对较低, 使该系统的应用限制在军事等特殊领域.

加州理工大学 (California Institute of Technology) Hajimiri 教授团队在 2004 和 2006 年基于锗硅双极型晶体管 (SiGe BiCMOS) 工艺实现了毫米波相控阵接收机^[6]和发射机^[7]. 由于锗硅晶体管器件优良的高频特性, 基于锗硅工艺的相控阵芯片在当时成为国际上的研究主流, 加州大学圣地亚哥分校 (University of California, San Diego) Rebeiz 教授团队在多个毫米波频段发表了系列论文^[8~10]. 近年来, 根据摩尔定律, CMOS 晶体管器件尺寸不断按比例缩小, 器件速度不断提升, 逐渐满足毫米波应用需求^{[11]1)2)}. 多层混压 PCB 工艺的成熟, 使得基于 CMOS 芯片的低成本、高集成度和可批量生产的集成相控阵天线成为可能. 韩国三星公司于 2020 年报道了基于 CMOS 芯片的单板 256 天线单元的相控阵天线系统^[12].

面向 Ka 频段高通量卫星和低轨卫星应用需求, 本文报道基于 CMOS 工艺的八通道接收相控阵芯片和八通道发射相控阵芯片研究成果; 在此基础上, 使用多层混压埋阻 PCB 工艺, 进一步实现了低成本、高性能 4096 通道集成相控阵. 本文所提出的基于 CMOS 毫米波芯片的“集成相控阵”, 有效使用低成本 CMOS 工艺和多层混压 PCB 工艺, 实现大规模相控阵系统, 系统兼具低成本、低剖面、高

1) International Technology Roadmap for Semiconductors (ITRS) 2.0. https://www.semiconductors.org/wp-content/uploads/2018/06/0_2015-ITRS-2.0-Executive-Report-1.pdf.

2) International Roadmap for Device And System (IRDS) 2020. <https://irds.ieee.org/editions/2020>.

图 2 半导体工艺发展

Figure 2 Development of semiconductor technologies

集成和高性能的优势. 根据作者了解, 本文所报道的 4096 通道集成相控阵是目前国际上基于低成本 CMOS 工艺和 PCB 工艺所实现的集成度最高、规模最大的相控阵天线系统.

2 CMOS 毫米波芯片和相控阵天线设计挑战

在诸多半导体工艺中 (如: CMOS、锗硅、砷化镓和氮化镓), CMOS 工艺材料成本最低, 制造良率最高, 产能最大. 同时, CMOS 工艺也是诸多半导体工艺中唯一符合摩尔 (Moore) 定律的工艺, 器件尺寸实现每 18~24 个月按比例缩小 1 倍. 图 2 显示了半导体器件的发展情况^[11, 13, 14]. 可以看到, 65 nm, 40 nm 和 28 nm CMOS 晶体管的特征频率 (transit frequency, f_T) 分别达到了 200 GHz, 250 GHz 和 300 GHz, 远高于目前 Ka 频段毫米波通信的工作频率. 因此, CMOS 器件的性能已经满足毫米波应用的基本需求. 值得一提的是, CMOS 器件从 16 nm 开始采用鳍式场效应晶体管 (FinFET, FF) 结构, 栅极氧化物界面处的表面散射以及硅薄膜不断变薄, 导致迁移率降低, 从而使栅长为 10 nm 以下的工艺 (7 nm 和 5 nm) 的 f_T 下降.

近年来, 基于 CMOS 工艺的毫米波电路已经逐渐在商用产品中得到应用, 但是毫米波有源和无源器件寄生效应较大, 给毫米波电路设计带来诸多挑战, 主要体现在以下几个方面. (1) 有源器件高频增益低, 设计裕量小: 由于 CMOS 晶体管寄生电容比 C_{GS}/C_{GD} 为 2~3, 而 SiGe 双极型晶体管 C_{BE}/C_{BC} 为 8~10, 受密勒效应 (Miller effect) 影响, 在相同晶体管特征频率下, CMOS 放大器的高频增益要低于 SiGe 放大器^[15]; 毫米波放大器增益受限, 使得放大器设计时难以在增益、线性度和噪声等几个关键参数之间进行权衡和折中, 导致毫米波放大器设计裕量小、整体性能差. (2) 无源器件高频损耗大, 设计时间长: CMOS 工艺的衬底损耗较大, 趋肤效应和衬底涡电流的影响进一步降低无源器件的品质因素, 使得高频匹配电路损耗变大; 另外, 工艺库所提供的无源器件模型往往只支持到 15~20 GHz, 大量的无源器件电磁场仿真将大大增加毫米波电路的设计时间. (3) 击穿电压低, 互连线损耗大: 根据 Johnson Limit 理论^[16], 先进半导体工艺中晶体管击穿电压随着器件速度的提升等比例降低, 低击穿电压晶体管的输出摆幅受到限制, 直接影响输出功率; 此外, 由于高频互连线寄生效应大, 并联多个晶体管并不能使放大器的输出功率得到有效提升. (4) 受工艺角和高低温影响大: 晶体管的各项器件参

图 3 相控阵接收芯片框图
Figure 3 Block diagram of the phased-array receiver

数 (如阈值电压、电迁移率等) 直接受工艺角和温度的影响, 而由于毫米波放大器增益受限, 不能通过反馈等用于低频电路的技术减小相关影响, 使得毫米波放大器在各工艺角和不同温度下性能差异较大并且难以弥补^[17]. 此外, 相控阵芯片需要对通道进行幅度和相位的调控, 调幅引入的附加相移和调相引入的附加衰减将大幅度增加系统校准的复杂度, 研究低寄生调幅移相器和低寄生调相衰减器对于相控阵芯片的使用至关重要.

低成本、高集成和批量化是相控阵产品大规模商用的关键, 基于多层混压 PCB 工艺的相控阵天线是当前国际研究热点, 该工艺具有材料成本低、集成度高、批产性好等优点. 但是, 工作频率和集成度的提高对毫米波大规模相控阵天线集成设计和工艺技术要求带来诸多挑战, 主要体现在以下几个方面. (1) 微带天线单元增益低、带宽窄: 微带天线非常适合 PCB 工艺实现, 但是天线在毫米波频段受表面波影响严重、基板插入损耗增加, 导致天线增益下降和带宽变窄, 一般微带天线只有 5%~10% 带宽, 而毫米波卫通应用至少需要 10%~20% 带宽, 在宽频范围内实现天线的高增益、低交叉极化和宽角扫描等性能非常关键. (2) 高低频电气互联关系复杂, 寄生效应影响大: 由于阵元间距缩小, 在几十平方毫米的狭窄空间内需要集成天线单元、CMOS 芯片以及控制和供电电路等, 射频馈电网络、控制信号网络以及电源网络分别在不同 PCB 层上实现, 毫米波垂直互联的寄生效应使得射频电路设计难度增加、整体性能变差; 另外, 高密度集成也使得提高天线的信号完整性和电源完整性至关重要. (3) 毫米波大规模天线的工艺实现难度大, 成品率低: 对于毫米波相控阵天线, 通常需要单板集成 256/1024 甚至更多的有源通道单元, 结构复杂、加工精度要求高; 采用一体化加工制造工艺使得相控阵天线的调试冗余度变小, 加工成品率变低, 必须进行一体化设计, 在电气性能和制造工艺等方面进行权衡和折中, 避免采用极限工艺, 这同样增加了设计难度.

3 硅基 CMOS 毫米波相控阵芯片设计

图 3 和 4 分别展示了毫米波相控阵接收和发射 (phased-array receiver/transmitter) 芯片的系统框图. 每个相控阵芯片包含 8 个通道, 每个通道中包含用于调相调幅的移相器 (phase shifter, PS)、衰减

图 4 相控阵发射芯片框图

Figure 4 Block diagram of the phased-array transmitter

器 (attenuator, ATT) 和提升系统增益的驱动放大器 (driver amplifier, DA); 在天线端, 相控阵发射芯片有一个功率放大器 (power amplifier, PA) 将发射信号放大, 接收相控阵芯片则有低噪声放大器 (low noise amplifier, LNA) 将接收信号放大并保障链路高频噪声性能; 在另一端, 分别用功率分配或者合成器 (power divider /power combiner, PD/PC) 将输入或者输出射频 (radio frequency, RF) 信号进行分离或者合成, 且输入或输出端口都加上公共放大器 (common amplifier, CA), 提升系统增益. 另外, 数字控制电路 (digital control) 用于实现系统相位、幅度、电路偏置等的控制. 为了解决系统性能随温度变化的问题, 加入了实现功率自检和高低温自适应调节功能的功率检测电路 (power detector)、温度传感器 (temperature sensor) 和性能补偿模块. 为了解决 CMOS 器件高频性能差等固有缺陷, 本文提出了如下关键技术:

- **电流复用跨导增强型低噪声放大器技术.** CMOS 毫米波放大器由于高频增益低导致整体噪声性能差, 设计中提出电流复用跨导增强型低噪声放大器技术, 在减小功耗、提升增益的同时不引入额外噪声, 有效利用晶体管寄生电容和弱耦合变压器实现宽带匹配, 电路原理图如图 5(a) 所示^[18].

- **基于新型版图结构的高效率功率放大器技术.** 由于器件和互连线的寄生效应影响, 效率一直是功率放大器的设计瓶颈. 提出基于中和电容共源放大器的新型版图结构, 实现高效率功放电路^[19]; 利用中和电容抵消晶体管栅漏电容的影响以提升放大器的增益和稳定性, 所提出的新型版图技术可以最小化器件寄生电容的影响, 进而有效提高发射机的效率.

- **矢量调制型数控无源移相器技术.** 如图 5(b) 所示, 移相器电路^[20] 包括正交耦合器、两个无源调幅模块和集总功率合成器 3 个部分, 用于实现各通道的相位调节. 其正交耦合器采用耦合线结构以提供宽带的正交信号, 无源调幅器采用基于晶体管阵列的 X 型调幅结构, 可实现直接数字控制的高精度调幅, 集总功率合成器在将两路正交信号相加的同时, 可提供较好的匹配和隔离性能. 基于以上技术, 该无源矢量调制型移相器实现了数字控制、零直流功耗、全 360 度、宽带、高精度、低移相附加衰减的双向移相功能.

- **基于电容补偿的超宽带衰减器技术.** 为了解决调幅精度差、带宽窄等问题, 提出宽带开关型衰减

图 5 (a) 电流复用跨导增强型低噪声放大器^[18]; (b) 矢量调制型数控无源移相器^[20]; (c) 基于电容补偿的超宽带衰减器^[21]; (d) 紧凑型功分器^[22]

Figure 5 (a) Current-reuse and g_m -boost LNA^[18]; (b) passive vector-modulated phase shifter^[20]; (c) ultra-broadband attenuator with capacitive compensation^[21]; (d) compact power divider based on multi-tap^[22]

器用于实现通道的幅度调节^[21]; 如图 5(c) 所示. 该衰减器由数字控制的 0.5、1、2、4 和 8 dB 衰减单元构成, 可覆盖 15 dB 的幅度调节范围. 为了最优化衰减器性能, 各衰减单元依据衰减量的大小采用不同的衰减结构, 包括简化 T 型结构、电容补偿式 T 型以及电容补偿式 II 型结构. 简化 T 型结构用于 0.5 和 1 dB 衰减单元, 以降低衰减器损耗; 电容补偿技术用于 2、4 和 8 dB 衰减单元, 以降低调幅误差和调幅附加相移, 同时提升衰减器的工作带宽. 基于以上技术, 该开关型衰减器可实现数字控制、零直流功耗、宽带、高精度、大调幅范围、低调幅附加相移的双向调幅功能.

● **紧凑型功分器技术.** 由于功分器在相控阵系统中应用频繁, 功分器的级数随通道数目增大而增加, 占用面积也增大, 增加芯片成本. 提出紧凑型功分器技术^[22], 如图 5(d) 所示, 用一个多抽头电感加上并联电容实现了多节电感电容 (LC) 网络级联的等效集总四分之一波长传输线, 这样既能减少功分器占用的面积, 且突破了 II 型 CLC 网络实现的集总功分器带宽窄的限制.

● **高低温自适应偏置电路技术.** 因为无源器件损耗和有源器件增益随温度变化较大, 提出适用于毫米波芯片的高低温自适应偏置电路技术. 其中, 高低温自适应模块为全局偏置电流模块提供随温度变化的基准电流, 配合本地电流镜为射频通道中各模块提供随温度变化的偏置电流, 有效补偿毫米波电路在高低温情况下本征增益的变化.

基于上述创新技术, 针对宽带卫星通信需求, 进一步优化了包括噪声系数和调幅范围等性能参数, 实现了基于 CMOS 工艺的 Ka 频段低成本、高集成度的相控阵接收和发射芯片, 其测试性能总结在表 1 中. 相比于砷化镓工艺, 所研制的毫米波 CMOS 相控阵芯片在成本、集成度、功耗、幅相控制等

表 1 Ka 频段相控阵收发芯片测试结果
Table 1 Ka-band phased-array transmitter and receiver measurement results

TX performance		RX performance	
Parameter	Value	Parameter	Value
Frequency	27.5~31.0 GHz	Frequency	17.7~21.2 GHz
Number of elements	8	Number of elements	8
OP ₁ dB	11 dBm	NF	3.0 dB
PAE@OP ₁ dB	15%	DC power	30 mW/channel
Gain/phase control	6 bit	Gain/phase control	6 bit
Gain control range/step	31.5 dB/0.5 dB	Gain control range/step	31.5 dB/0.5 dB
Phase control range/step	360°/5.625°	Phase control range/step	360°/5.625°
RMS gain error	0.54 dB	RMS gain error	0.21 dB
RMS phase error	1.78°	RMS phase error	1.12°
Package	WLCSP	Package	WLCSP

图 6 1024 单元集成相控阵 (集成 256 颗 CMOS 毫米波相控阵芯片)

Figure 6 The 1024-element integrated phased-array (with 256 phased-array TX ICs integrated)

方面优势明显, 在噪声系数等指标上性能接近 [23~26]. 值得一提的是, N 单元的相控阵系统可以使天线等效全向辐射功率 (equivalent isotropically radiated power, EIRP) 提升 $20\log N$ dB, 因此降低了对单通道输出功率的要求. 大规模集成相控阵可以有效利用 CMOS 芯片低成本、高集成度优势, 同时弥补 CMOS 芯片相对较低输出功率的缺点, 提供了兼具性能和成本优势的解决方案.

4 1024 单元集成相控阵设计

图 6 展示了用于 Ka 频段宽带卫通的 1024 单元集成相控阵, 系统工作在 30 GHz, 其主要由集成 CMOS 毫米波芯片的射频天线板、波束解算及控制电路和电源转换及分配电路 3 部分组成, 包含了 1024 个双极化天线单元、256 颗毫米波八通道 CMOS 相控阵芯片、1 分 256 射频馈电网络、1 套电源转换及分配网络、基于 FPGA 的波控运算电路及数字控制网络等. 其中射频天线板实现天线阵面、射

图 7 多层混压埋阻 PCB 工艺

Figure 7 Multi-layer hybrid PCB with buried resistance

频馈电分配、高速信号走线和供电走线的集成; 波束解算及控制电路主要实现天线阵面的初始化, 解算出各个通道需执行的幅相调制并控制各个相控阵芯片执行相关命令, 通过 FPGA 直接控制每个相控阵芯片, 过压过流上报等功能; 电源转换及分配电路为毫米波 CMOS 相控阵芯片、驱动芯片和逻辑控制电路等提供所需电源。

为了满足相控阵天线低成本、低剖面和高集成的应用需求, 解决由于寄生效应引起的带宽窄、增益低、交叉极化差等问题, 并最终达到适合批量生产制造的目的。相控阵天线设计采用了如下关键技术。

- **高密度多层板混压集成技术。** 基于多层混压埋阻技术和高密度垂直互联技术 PCB 工艺, 在毫米波频段, 将大规模微带天线、射频电路、控制电路和供电电路集成在同一张 PCB 板中, 如图 7 所示^[27]。整个阵面由 14 层微波板混压而成, L1~L3 层为射频馈电网络层, 采用 Wilkinson 带状线功分网络, 隔离电阻采用埋阻工艺一体混压而成, 馈电网络将激励信号分配给各个 CMOS 芯片。L4~L9 层为供电及控制网络层, 各低频信号走线通过 GND 层隔离, 避免相互干扰; 以分组供电及控制方式, 通过低频垂直互连为 CMOS 芯片提供电源和数字信号控制。L10~L14 层为天馈层, CMOS 相控阵芯片通道射频端通过垂直互连结构与天线单元馈电端连接, 互连方式由金属化过孔替代了传统的连接器, 既省去了连接器成本, 又提高了相控阵天线的集成度。利用这种技术实现了相控阵天线的低成本、低剖面和轻量化。

- **低剖面微带天线宽带化技术。** 微带天线是最适合多层混压 PCB 工艺加工的天线形式, 传统微带天线带宽窄、增益低, 通常需要采用增加基板厚度、寄生贴片单元、缝隙调谐、空气加载降低介电常数等措施改进性能。另外, 毫米波卫星通信终端一般要求天线具有双圆极化可切换功能。由于在毫米波段表面波和介质损耗的影响更加严重, 在符合工艺规则前提下, 在低厚度基板上设计宽带高性能微带天线是一个难点。为了解决这些问题, 本文设计了一款小型宽带化微带天线单元, 如图 8 所示。天线单元采用正交缝隙耦合馈电和寄生贴片, 提高了极化隔离度并展宽带宽; 同时采用高隔离 90° 电桥实现双圆极化可切换功能。通过优化设置隔离地孔位置, 有效减小了天线单元之间的互耦, 从而达到天线在大扫描角度情况下的良好性能。

图 8 (a) 宽带微带天线单元; (b) 宽频微带天线驻波仿真结果; (c) 宽频微带天线极化隔离度仿真结果

Figure 8 (a) Broadband microstrip antenna; (b) simulated voltage standing wave ratio (VSWR) of the broadband microstrip antenna; (c) simulated cross-polarization isolation of the broadband microstrip antenna

图 9 阵面可拼接技术: (a) 结构可拼接; (b) 控制可拼接

Figure 9 (a) Structure and (b) control stitching techniques

通过采用上述创新技术, 基于 CMOS 毫米波相控阵芯片和适合大规模生产制造的多层混压 PCB 加工制造工艺和多芯片 SMT 表贴工艺, 实现了满足 Ka 频段卫通相控阵终端应用需求的低成本、低剖面、高性能、轻量化的毫米波 1024 发射/1024 接收标准化集成相控阵天线. 发射天线阵面总尺寸小于 $20\text{ cm} \times 16\text{ cm} \times 0.3\text{ cm}$, 接收天线阵面总尺寸小于 $28\text{ cm} \times 24\text{ cm} \times 0.3\text{ cm}$.

5 4096 发射/4096 接收集成相控阵设计

为了实现大规模批量制造、工艺状态稳定控制、自动化监测与检验、产品良率提升, 同时为相控阵产品大规模批量化生产提供保障, 提出了标准化可拼接技术. 如图 9 所示, 可拼接技术分为两方面: 结构可拼接技术和控制可拼接技术. 结构可拼接 (图 9(a)): 通过严格控制子阵结构尺寸和拼接误差, 实现子阵分别在垂直和水平方向的 $2 \times N$ 次无缝拼接. 在电气性能上, N 个子阵拼接可以将相控阵天线的发射 EIRP 提高 $20\log_{10}(N)$ dB, 接收 G/T 提高 $10\log_{10}(N)$ dB. 控制可拼接技术 (图 9(b)): 在控制层面采用分布式波控解算架构, 开机初始化时天线控制单元 (ACU) 将坐标信息下发到每一个天线子

图 10 4096 发射/ 4096 接收超大规模集成相控阵终端
Figure 10 4096 TX/4096 RX ultra-large-scale integrated phased-array terminal

图 11 4096 集成相控阵的测试方向图: (a) 接收; (b) 发射
Figure 11 Measured scan pattern of the 4096-element phased-array: (a) receiver and (b) transmitter

阵, 之后只需要下发俯仰角和方位角信息, 天线子阵通过现场可编程逻辑门阵列 (field programmable gate array, FPGA), 快速解算出每个阵元的幅相值, 并发送到每个 CMOS 芯片的寄存器中, 实现波束快速更新. 在此架构中, ACU 能够更加专注于卫星跟踪算法的实现和优化, 扩充天线阵面规模对整体架构改动很小, 适合灵活快速地搭建各种不同口径的卫星通信终端.

基于标准化子阵拼接技术可快速实现不同规模相控阵天线的研制, 大幅缩短产品开发周期. 该技术基于标准化可拼接 1024 阵元集成相控阵天线子阵, 采用 2×2 的拼接方式实现了 4096 发射/4096 接收集成相控阵系统, 如图 10 所示; 其中 4 个发射子阵通过一分四功分器实现输入射频信号的分配, 4 个接收子阵通过四合一功合器实现射频接收信号合成; 所有子阵的外部数字控制信号和电源电压由一块天线供电及控制板提供. 在收发天线之间增加隔离栅, 提高收发隔离度. 4096 通道相控阵测试方向图如图 11 所示, 4096 接收和发射天线阵列等效无源增益约为 40 dBi, 完整测试结果总结在表 2 中, 性能指标符合预期.

6 Ka 频段宽带卫星通信终端应用验证

基于 4096 发射/4096 接收超大规模集成相控阵, 设计完成了毫米波相控阵卫通终端, 使用中星 16

表 2 Ka 频段 4096 发射/4096 接收集成相控阵测试结果
Table 2 Ka-band 4096 TX/4096 RX integrated phased-array measurement results

Parameter	Value	Parameter	Value
Frequency (TX)	27.5~31.0 GHz	Side lobe level	≤ -13 dB@90°
Frequency (RX)	17.7~21.2 GHz	Polarization	LHCP/RHCP
E-/H-plane scan	0~360°, 30°~90°	Axial ratio	RX: ≤ 1 dB@90° TX: ≤ 1 dB@90°
Number of elements	4096 TX/4096 RX	Beamwidth	RX: 1.7°@90° TX: 1.7°@90°
EIRP	≥ 52 dBW@90° ≥ 47.5 dBW@30°	RX/TX isolation	> 105 dB
G/T	≥ 11.5 dB/K@90° ≥ 7.5 dB/K@30°

图 12 宽带卫星通信应用示意图
Figure 12 Application scenarios of broadband satellite communication

高轨卫星网络建立 DVB 链路 (如图 12 所示), 并分别在车载、船载平台 (如图 13 所示) 测试了相控阵卫通终端对同步轨道卫星信号的捕获及跟踪能力, 并在此基础上测试了互联网访问功能. 在车载平台下主要测试了终端的静态卫星信号捕获能力、动态卫星信号捕获能力、丢失再捕获能力、S 弯性能、颠簸路段性能等, 其中丢失再捕获性能测试充分体现了相控阵天线波束更新快的优势, 在隧道、树木、楼宇、路牌等不同路况遮挡环境中, 路牌、树木等短时遮挡失锁重捕获时间在 20 ms 左右, 隧道、楼宇等长时遮挡失锁重捕获时间在 600 ms 内; 同时相控阵卫通终端在 S 弯性能测试、颠簸路段性能测试中也同样表现优异, 其最大跟踪角速度高达 100°/s, 解决了传统机械动中通天线在大角速度下失锁的难题. 在车辆高速移动 (130 km/h) 情况下, 锁星时间小于 1 s, 入网时间小于 1 min; 上行速度为 6 Mb/s, 下行速度为 10 Mb/s; 波位切换时间小于微秒, 波位更新时间小于 4 ms. 船载测试在经历海浪、大风、云遮、盐雾等海上特有的环境、天气条件过程中也达到了相同的性能指标. 车载与船载测试结果显示, 所研制的 Ka 频段宽带卫星通信终端可以满足毫米波频段高通量卫星系统、非静止轨道卫星系统等地面终端的使用要求.

图 13 4096 发射/4096 接收单元相控阵天线 (a) 车载和 (b) 船载应用实验

Figure 13 4096 TX/4096 RX phased-array antenna terminal tests: (a) vehicle-mounted and (b) shipboard

7 总结

针对目前相控阵芯片及大规模天线阵列存在的成本高、集成度低等问题, 本文作者通过采用高效率功率放大、零功耗高精度移相、超宽带衰减和低功耗低噪声放大等创新技术, 突破了 CMOS 体硅工艺的固有技术瓶颈, 实现了高性能的全集成 CMOS 毫米波相控阵芯片. 测试结果表明, 所研制的毫米波 CMOS 相控阵芯片在成本、集成度、功耗、幅相控制等方面相比于砷化镓芯片优势明显, 在噪声系数等指标上与砷化镓芯片性能接近. 以此为基础, 采用多层混压、宽带微带天线和互耦可调的宽角扫描等技术实现了 1024 发射/1024 接收超大规模集成相控阵, 进而通过阵列拼接技术, 实现了低成本、高集成度的 4096 发射/4096 接收超大规模集成相控阵, 成果在车载和船载宽带卫星通信中得到应用验证. 根据对相关文献的查询, 本文所报道的 4096 发射/4096 接收集成相控阵是目前国际上基于低成本 CMOS 工艺和 PCB 工艺所实现的集成度最高、规模最大的相控阵天线系统. 所探索出的基于 CMOS 毫米波芯片和多层混压 PCB 工艺的大规模“集成相控阵”解决方案, 在宽带卫星通信和 5G/6G 毫米波通信等领域具有广阔的应用前景.

致谢 感谢深南电路股份有限公司在 PCB 加工制造和验证等方面的大力支持.

参考文献

- 1 Roh W, Seol J Y, Park J, et al. Millimeter-wave beamforming as an enabling technology for 5G cellular communications: theoretical feasibility and prototype results. *IEEE Commun Mag*, 2014, 52: 106–113
- 2 Aryanfar F, Pi J, Zhou H, et al. Millimeter-wave base station for mobile broadband communication. In: *Proceedings of IEEE MTT-S International Microwave Symposium*, 2015. 1–3
- 3 Von Aulock W. Properties of phased arrays. *Proc IRE*, 1960, 48: 1715–1727
- 4 Parker D, Zimmermann D C. Phased arrays — Part I: theory and architectures. *IEEE Trans Microwave Theor Techn*, 2002, 50: 678–687
- 5 Parker D, Zimmermann D C. Phased arrays — Part II: implementations, applications, and future trends. *IEEE Trans Microwave Theor Techn*, 2002, 50: 688–698
- 6 Hashemi H, Guan X, Hajimiri A. A fully integrated 24 GHz 8-path phased-array receiver in silicon. In: *Proceedings of IEEE International Solid-State Circuits Conference*, 2004. 390–534

- 7 Natarjan A, Komijani A, Guan X, et al. A 77 GHz phased-array transmitter with local LO path phase-shifting in silicon. In: *Proceedings of IEEE International Solid State Circuits Conference — Digest of Technical Papers*, 2006. 639–648
- 8 Kibaroglu K, Sayginer M, Phelps T, et al. A 64-element 28-GHz phased-array transceiver with 52-dBm EIRP and 8-12-Gb/s 5G link at 300 meters without any calibration. *IEEE Trans Microwave Theor Techn*, 2018, 66: 5796–5811
- 9 Rupakula B, Zahir S, Rebeiz G M. Low complexity 54-63-GHz transmit/receive 64- and 128-element 2-D-scanning phased-arrays on multilayer organic substrates with 64-QAM 30-Gbps data rates. *IEEE Trans Microwave Theor Techn*, 2019, 67: 5268–5281
- 10 Aljuhani A H, Traffenstedt E, Kanar T, et al. Ultra-low cost Ku-band dual-polarized transmit and receive phased-arrays for SATCOM and point-to-point applications with bandwidths up to 750 MHz. In: *Proceedings of IEEE International Symposium on Phased Array System and Technology (PAST)*, 2019. 8138–8143
- 11 Voinigescu S P, Shopov S, Bateman J, et al. Silicon millimeter-wave, terahertz, and high-speed fiber-optic device and benchmark circuit scaling through the 2030 ITRS horizon. *Proc IEEE*, 2017, 105: 1087–1104
- 12 Park H-C, Kang D, Lee S M, et al. A 39 GHz band CMOS 16-channel phased-array transceiver IC with a companion dual-stream IF transceiver IC for 5G NR base-station applications. In: *Proceedings of IEEE International Solid-State Circuits Conference*, 2020. 75–77
- 13 Schroter M, Rosenbaum T, Chevalier P, et al. SiGe HBT technology: future trends and TCAD-based roadmap. *Proc IEEE*, 2017, 105: 1068–1086
- 14 Ferrari A C, Bonaccorso F, Fal'ko V, et al. Science and technology roadmap for graphene, related two-dimensional crystals, and hybrid systems. *Nanoscale*, 2015, 7: 4598–4810
- 15 Long J R. SiGe radio frequency ICs for low-power portable communication. *Proc IEEE*, 2005, 93: 1598–1623
- 16 Johnson E O. Physical limitations on frequency and power parameters of transistors. In: *Proceedings of IRE International Convention Record*, 1965. 163–177
- 17 Zhao D, Reynaert P. An E-band power amplifier with broadband parallel-series power combiner in 40-nm CMOS. *IEEE Trans Microwave Theor Techn*, 2015, 63: 683–690
- 18 Zhang J, Zhao D, You X. A 20-GHz 1.9-mW LNA using gm-boost and current-reuse techniques in 65-nm CMOS for satellite communications. *IEEE J Solid-State Circ*, 2020, 55: 2714–2723
- 19 Zhao D, Reynaert P. A 60-GHz dual-mode class AB power amplifier in 40-nm CMOS. *IEEE J Solid-State Circ*, 2013, 48: 2323–2337
- 20 Gu P, Zhao D, You X. Analysis and design of a CMOS bidirectional passive vector-modulated phase shifter. *IEEE Trans Circ Syst I, Reg Papers*, 2021. doi: 10.1109/TCSI.2020.3048816
- 21 Gu P, Zhao D, You X. A DC-50 GHz CMOS switched-type attenuator with capacitive compensation technique. *IEEE Trans Circ Syst I*, 2020, 67: 3389–3399
- 22 Peng N, Zhao D. Ku-band compact Wilkinson power divider based on multi-tap inductor technique in 65-nm CMOS. *IEICE Electron Express*, 2018, 15: 20180973
- 23 Jeong J, Uhm M, Jang D, et al. A Ka-band GaAs multi-function chip with wide-band 6-bit phase shifters and attenuators for satellite applications. In: *Proceedings of the 13th European Conference on Antennas and Propagation (EuCAP)*, 2019. 1–4
- 24 Bao K, Zhou J, Wang L, et al. A 29–30 GHz 64-element active phased array for 5G application. In: *Proceedings of IEEE MTT-S International Microwave Symposium (IMS)*, 2018. 492–495
- 25 Nakagawa J, Nakatani K, Nakamizo H, et al. 28 GHz active phased array antenna employing GaAs frontend module for massive MIMO in 5G. In: *Proceedings of 2019 12th Global Symposium on Millimeter Waves (GSMM)*, 2019. 4–6
- 26 Mahmoudidaryan P, Medi A. Codesign of Ka-band integrated limiter and low noise amplifier. *IEEE Trans Microwave Theor Techn*, 2016, 64: 2843–2852
- 27 Luo X, Ouyang J, Chen Z H, et al. A scalable Ka-band 1024-element transmit dual-circularly-polarized planar phased array for SATCOM application. *IEEE Access*, 2020, 8: 156084–156095

Design and implementation of CMOS millimeter-wave ICs and 4096 TX/4096 RX very-large-scale integrated phased-array antenna

Dixian ZHAO^{1,3}, Zhihui CHEN^{2,3} & Xiaohu YOU^{1,3*}

1. *National Mobile Communications Research Laboratory, Southeast University, Nanjing 210096, China;*

2. *Chengdu T-Ray Technology Company Ltd., Chengdu 610000, China;*

3. *Purple Mountain Laboratories, Nanjing 211100, China*

* Corresponding author. E-mail: xhyu@seu.edu.cn

Abstract The large-scale phased-array system is the key technology for enabling far-distance wireless transmission at millimeter-wave (mm-Wave) frequencies. Traditional mm-Wave phased-array systems are usually implemented using compound semiconductor technology. It is expensive and difficult to realize the system-on-chip (SOC), which greatly limits the applications of traditional phased-array systems. In this paper, the design and implementation of mm-Wave phased-array integrated circuits (ICs) in bulk CMOS and 4096-element transmitter and receiver very-large-scale phased arrays are reported. Although the CMOS technology has the advantages of high integration and low cost, it exhibits a series of technical bottlenecks such as low active gain and high passive loss at mm-Wave frequencies and relatively large performance deviations across temperature. To overcome the intrinsic weakness of CMOS technology, several techniques have been proposed to enhance the performance of mm-Wave phased-array ICs, including the current-reuse g_m -boost low-noise amplifier, high-efficiency power amplifier using a new layout structure, vector-modulated digital-controlled passive phase shifter, ultra-broadband attenuator with capacitive compensation, compact power divider, and temperature adaptive biasing circuits. Fabricated in 65 nm bulk CMOS, the proposed Ka-band phased-array ICs achieve 3.0 dB noise figure, 15% PAE, and accurate amplitude and phase controls without calibration. The CMOS ICs outperform GaAs ICs in terms of integration and cost. Measurement results show that the key performance metrics (e.g., noise figure) of this work are close to that of GaAs ICs. Based on the proposed CMOS phased-array ICs, the design of 1024 TX/1024 RX large-scale integrated phased-array antennas is realized in PCB technology, which are further extended to the scale of 4096 TX/4096 RX phased-array antennas. Finally, vehicle-mounted and shipboard tests are performed using the proposed low-cost and high-integration phased-array antenna terminal for broadband satellite communications.

Keywords millimeter wave, integrated circuit, CMOS technology, receiver, transmitter, multi-layer hybrid PCB technology, phased-array antenna, broadband satellite communication

Dixian ZHAO was born in 1983. He received his B.S. degree in Microelectronics from Fudan University, Shanghai, China, in 2006, M.S. degree in Microelectronics from the Delft University of Technology (TU Delft), the Netherlands, in 2009, and Ph.D. degree in Electrical Engineering from the University of Leuven (KU Leuven), Belgium, in 2015. Since April 2015, he has joined Southeast University, China, and he is now a full professor. His current re-

search interests include millimeter-wave integrated circuits and phased-array transceivers for 5G, and satellite and radar applications.

Xiaohu YOU was born in 1962. He received his M.S. and Ph.D. degrees in Electrical Engineering from Southeast University, Nanjing, China, in 1985 and 1988, respectively. Since 1990, he has been associated with the National Mobile Communications Research Laboratory, Southeast University, where he is currently the director and a professor. From 1999 to 2002, he was the principal expert of the C3G Project. From 2001 to 2006, he was the principal ex-

pert of the China National 863 Beyond 3G FuTURE Project. Since 2013, he has been the principal investigator of the China National 863 5G Project. His research interests include mobile communication systems and signal processing and its applications.

Zhihui CHEN received his Ph.D. degree in Electronics Engineering from Xi'dian University, Xi'an, China, in 2007. He has 12 years of experience in the area of active phased-array antenna, synthesis of antenna arrays, and RF equipment of commercial telecommunication implementation of satellite communication system. He is currently the CTO of Chengdu T-Ray Technology Company, Ltd. His research interests include phased-array antenna, antenna

measurement, and satellite communication systems.