



基于二维半导体的垂直晶体管

乐志凯, 刘潇, 李运鑫, 刘丽婷, 刘渊*

湖南大学物理与微电子科学学院, 长沙 410082

* 联系人, E-mail: yuanliuhnu@hnu.edu.cn

2023-01-31 收稿, 2023-05-12 修回, 2023-05-15 接受, 2023-05-17 网络版发表

国家自然科学基金(U22A2074, 51991341)资助

摘要 二维半导体具有原子级薄的体厚度和表面无悬挂键的特点, 是实现下一代晶体管微缩的重要候选材料之一。超短沟道的二维水平结构晶体管已通过多种方法成功制备, 但通常需要复杂的设备和高精度的制造工艺, 并且难以微缩至亚10 nm或亚5 nm的沟道长度。垂直晶体管是一种电流自上而下输运的新型器件结构, 其中器件的栅极长度或者沟道长度取决于半导体的厚度而非光刻精度。因此, 二维半导体在垂直晶体管中展现出了独特的应用前景。本文综述了基于二维半导体构建垂直晶体管的进展, 包括二维垂直晶体管的基本结构、工作机制与器件性能等。

关键词 二维半导体, 垂直晶体管, 器件结构, 器件性能

自从晶体管被发明以来, 半导体技术革命性地改变了人们的生活。其中, 推动所有半导体以及电子器件发展的主要动力是由“摩尔定律”主宰的微缩技术: 通过使晶体管尺寸越来越小, 越来越多的晶体管可以被制造到同一芯片中, 从而可以实现更复杂的功能。然而, 随着沟道长度进一步缩短至10 nm工艺节点以下^[1,2], 微缩技术逐渐显示出越来越多难以克服的问题。其中最显著的就是栅极电场对硅沟道的调控性能开始弱化, 导致无法避免的短沟道效应和巨大的关态能耗^[3-6]。

近年来, 研究者们聚焦于具有层状结构的二维半导体。在二维半导体(如石墨烯、过渡金属二卤化物)中, 每一层材料仅有单个或者几个原子厚度, 在层间以共价键相连^[7-11]。二维半导体表面没有悬挂键, 载流子都被限制在其原子薄的沟道中, 因此可以在超薄体厚度的尺寸下表现出优异的电子性能, 有望更进一步减小晶体管的尺寸^[12-17]。然而, 二维材料的短沟道器件大多依赖于高精度的极紫外光刻技术或者电子束光刻技术, 面临着高成本、低精度等一系列挑战, 尤其是当沟

道长度小于亚10 nm或亚5 nm的尺寸下^[18-22]。

为了克服这一光刻精度的挑战, 近年来研究者们开发了垂直晶体管结构^[23-26]。在这种结构中, 半导体材料垂直地处于源极和漏极之间, 而器件的实际沟道长度或者栅极长度取决于半导体的厚度而非光刻精度, 因此有望在普通光刻精度下实现超短沟道长度的器件^[27-29]。

基于此, 本文重点讨论了基于二维半导体构建垂直晶体管的研究进展。首先, 简要介绍了垂直晶体管的基本结构, 包括它们的工作机制和载流子传输特性。其次, 总结了目前垂直晶体管的结构优势与特点, 包括垂直晶体管的小尺寸、电流密度、开关比等性能。最后, 对高性能二维垂直晶体管所面临的挑战进行了展望与总结。

1 基于石墨烯底电极的垂直晶体管

一个典型的垂直晶体管的器件结构如图1(a), (b)所示。在此结构中, 源、漏电极并不是水平地放置在沟道的两端, 而是垂直地放置在沟道材料的上下两侧, 呈现

引用格式: 乐志凯, 刘潇, 李运鑫, 等. 基于二维半导体的垂直晶体管. 科学通报, 2023, 68: 2901–2910

Le Z K, Liu X, Li Y X, et al. Vertical transistors based on two-dimensional semiconductors (in Chinese). Chin Sci Bull, 2023, 68: 2901–2910, doi: [10.1360/TB-2023-0081](https://doi.org/10.1360/TB-2023-0081)

三明治结构. 在器件工作时, 栅极电场穿透底层的电极, 从而调控沟道电流的开关^[30~35]. 这一垂直构造中的关键要求是底层电极应对栅极电场透明, 以实现载流子传输的有效调制, 否则将导致静电屏蔽效应^[36~38]. 传统的有机半导体垂直晶体管利用金属纳米线、碳纳米管等网状导电材料作为底层电极^[39~42]. 尽管多孔电极作为底电极降低了栅极电场的屏蔽效应, 改善了器件的栅极调制能力, 但其粗糙的表面阻碍了超短沟道垂直晶体管的构建. 例如, 对于银纳米线网状电极, 垂直晶体管的沟道长度(即半导体厚度)应大于纳米线的直径(约100 nm), 以防止器件短路. 在二维垂直晶体管中, 由于其超短的沟道长度(二维半导体厚度往往小于10 nm), 基于多孔电极的垂直晶体管能够调控的沟道区域体积过小(如图1(c), (d)所示), 垂直晶体管难以实现有效关断.

为了克服这一问题, 近年来研究者们聚焦于利用石墨烯底电极的垂直晶体管^[43~46]. 在该器件结构中, 由于石墨烯电极有限的态密度以及功函数可调的特性, 它只能部分屏蔽栅极电场. 因而, 石墨烯可以作为独特的半透明电极来构建垂直晶体管. 在这种结构中, 基于多种半导体沟道材料的垂直晶体管已经被报道, 包括二维半导体、硅和锗、薄膜氧化物半导体和有机半导体^[47~50]. 根据半导体沟道载流子注入的机理, 垂直晶体管可以分为热激发垂直晶体管和隧穿垂直晶体管两大类.

1.1 栅极调制肖特基势垒的垂直晶体管

当沟道材料是带隙较小的半导体时, 载流子的调控主要是通过改变石墨烯和半导体中的肖特基势垒实现的. 例如, 当施加一个正向栅极电压时, 石墨烯的功函数降低, 石墨烯和n型半导体之间的肖特基势垒高度下降, 器件表现出开启状态(如图2(a)); 当施加一个负向栅极电压时, 石墨烯的功函数增加, 石墨烯和n型半导体异质结之间的肖特基势垒高度大大提高, 器件则表现为肖特基二极管的整流特性, 器件呈现关闭状态(如图2(b)). 基于此, 2012年, Yang等人^[51]利用硅作为半导体构建了基于石墨烯的热激发垂直晶体管. 这种器件结构展现了一种可调势垒的石墨烯-硅晶体管, 实现了器件电流在垂直堆叠结构上的传输和大的开关比. 但是, 由于使用的沟道材料是体硅, 沟道长度往往在微米级别, 无法进一步实现微缩. 为了实现垂直晶体管沟道长度的持续微缩, 加州大学洛杉矶分校报道了基于二

维半导体沟道的垂直晶体管. Yu等人^[52]利用二硫化钼(MoS_2)作为沟道材料, 构建了二维垂直器件, 可以将沟道长度(二硫化钼厚度)微缩到36 nm. 该器件在室温下开关比大于 10^3 , 在 $V_{\text{ds}}=-0.5$ V和 $V_{\text{g}}=60$ V时, 可提供 2600 A cm^{-2} 的开态电流密度; 在 $V_{\text{ds}}=1$ V时, 最大开态电流可以达到 5000 A cm^{-2} . 实验表明, 该垂直晶体管的实际电流至少比具有相似尺寸的平面晶体管大20倍. 这种大电流的特性不仅仅适用于二维晶体管, 同样也可以应用在多种基于体材料的垂直晶体管结构中, 尤其是薄膜晶体管结构中^[53~56]. 例如, 氧化铟镓锌或者有机半导体材料被广泛作为薄膜晶体管的沟道材料, 应用于显示驱动晶体管中. 然而, 由于传统显示器件的像素和光刻精度限制, 驱动晶体管的电流过低一直是一个重要挑战. 垂直结构可以很容易得到具有基于超短氧化铟镓锌沟道长度的晶体管(<100 nm, 由氧化铟镓锌的厚度决定), 提供大大超过传统平面氧化铟镓锌薄膜晶体管的总电流密度^[50]. 更进一步, 垂直薄膜晶体管的驱动电流同样也受限于半导体材料在垂直方向的电导率. 为了开发大电流密度的垂直晶体管, Liu等人^[57]使用高迁移率单晶砷化铟(InAs)薄膜半导体, 其中砷化铟的单晶结构和小带隙(约0.36 eV)可以同时提供小的金属接触电阻和低的垂直沟道电阻. 另一方面, 作者使用自对准方法来减小石墨烯电极与半导体之间的串联电阻并进一步提高整体电流密度. 在反向和正向偏置电压下, 该器件实现的开态电流密度超过45和142 kA cm^{-2} (如图3(a), (b)). Choi等人^[58]则利用在外加电场下可以形成电双层电容器的电解质取代氧化物栅极电介质, 构建了基于石墨烯-过渡金属二卤属化合物异质结构和离子凝胶栅介质的低压垂直晶体管(如图3(c)). 通过用电解质取代氧化物栅极介电层, 在外加电场下形成了电双层电容器. 由于大的栅极电容, 器件允许底层石墨烯的功函数在低电压下调制. 得到的基于二硒化钨(WSe_2)的垂直晶体管器件具有大于 3000 A cm^{-2} 的高电流密度和大于 10^4 的开关比, 且工作电压低于3 V(如图3(d)). 此外, 使用双层石墨烯或者多层石墨烯作为电极可能会增加垂直晶体管的电流密度, 这是因为多层石墨烯电极可以降低石墨烯的串联电阻, 但垂直晶体管栅极调控能力和开关比可能会受到影响. 另外, 也可以使用更薄的介电层或高 k 介电层来提高栅极的可控性, 从而获得更小的关态电流和更高的开态电流. 由于固有的短沟道, 垂直晶体管的大驱动电流可以实现快的工作速度. 例如, 通过使用简单的阴影掩模方法, 可

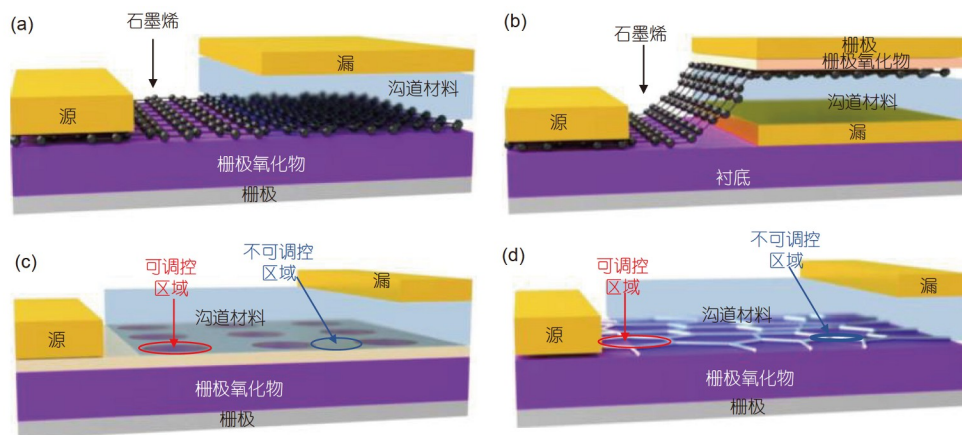


图1 (网络版彩色)垂直场效应晶体管的器件结构示意图。(a) 基于石墨烯电极的背栅垂直场效应晶体管;(b) 基于石墨烯电极的顶栅垂直场效应晶体管;(c) 基于多孔电极的背栅垂直场效应晶体管;(d) 基于纳米线电极的背栅垂直场效应晶体管

Figure 1 (Color online) Schematic illustrations of device structures of vertical field effect transistors. (a) Graphene-based back-gated vertical field-effect transistor; (b) graphene-based top-gated vertical field-effect transistor; (c) perforated electrodes back-gated vertical field-effect transistor; (d) nanowires electrodes back-gated vertical field-effect transistor

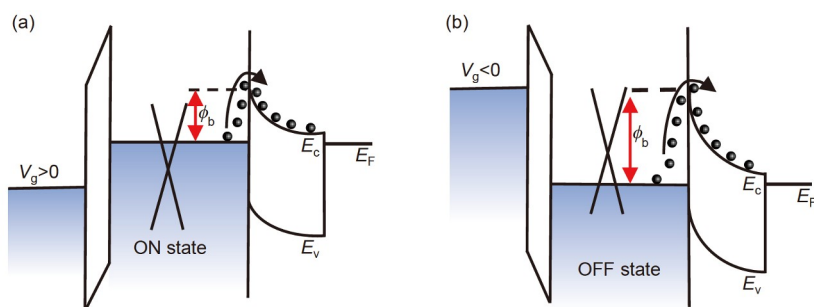


图2 (网络版彩色)垂直热激发晶体管的能带图^[24]。(a) ON状态;(b) OFF状态。Copyright © 2020, Springer Nature

Figure 2 (Color online) Band-diagrams of the vertical thermionic transistor^[24]。(a) ON state;(b) OFF state。Copyright © 2020, Springer Nature

以制备出最大截止频率达0.4 MHz的有机垂直器件,这与使用高分辨率光刻技术制造的有机高速晶体管相当^[59]。

垂直二维晶体管不仅仅限于n型半导体材料,同样也可以适用于p型半导体材料。p型垂直晶体管具有类似的工作机理:当施加一个正向栅极电压时,石墨烯的功函数降低,石墨烯和p型半导体之间的肖特基势垒高度上升,器件表现出关断状态;当施加一个负向栅极电压时,石墨烯的功函数增加,石墨烯和p型半导体异质结之间的肖特基势垒减小,器件则表现为开通状态。利用这一机理,研究者在 $\text{Bi}_2\text{Sr}_2\text{Co}_2\text{O}_8$ 半导体材料中实现了p型垂直晶体管。更进一步,p型和n型垂直晶体管可以在水平方向甚至是垂直方向上互联在一起,实现互补性二维垂直晶体管。例如,垂直堆叠p型 $\text{Bi}_2\text{Sr}_2\text{Co}_2\text{O}_8$ 沟道-石墨烯垂直晶体管以及n型 MoS_2 沟道-石墨烯垂

直晶体管,可以创建具有电压增益大于1的互补逆变器,实现更复杂的设备功能^[52]。受原子厚度、有限态密度(density of states, DOS)和弱屏蔽效应的影响,石墨烯表现出可调函数和部分静电透明性。因此,底部栅极电场可以穿透石墨烯,同时调制p型金属氧化物半导体(p-channel metal-oxide-semiconductor, PMOS)和n型金属氧化物半导体(n-channel metal-oxide-semiconductor, NMOS),而不需要额外的栅极电极,从而实现垂直逆变器。Choi等人^[58]则通过离子凝胶栅控n型石墨烯-二硫化钼垂直晶体管和p型石墨烯-二硫化钼垂直晶体管串联起来,实现了低功率互补反向器(如图4(a)所示)。图4(b)显示了此器件在0.5 V电源电压(V_{DD})下反相器的电压传输特性。

前文已经展示了利用二维半导体实现超短沟道的二维垂直晶体管。但是,需要更进一步减小垂直晶体管

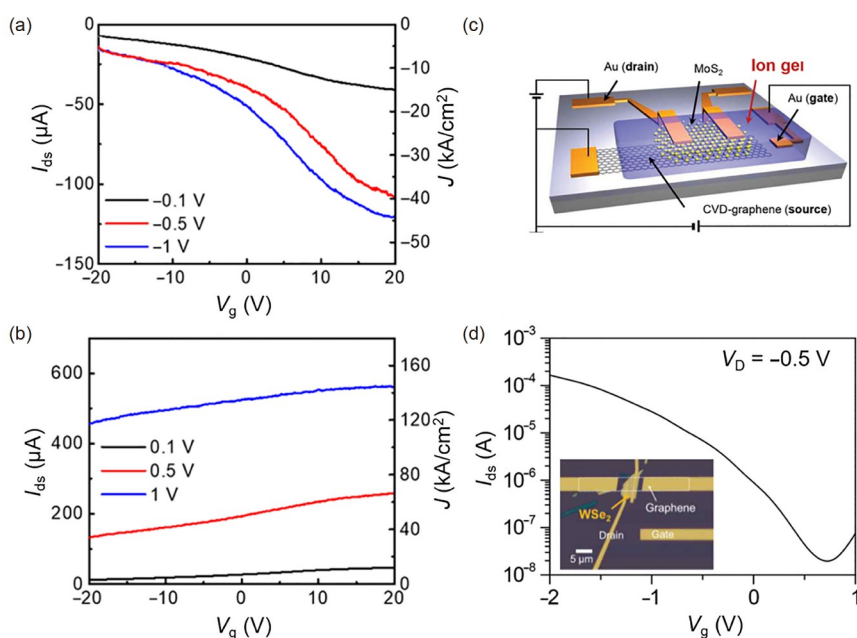


图3 (网络版彩色)垂直晶体管的大电流密度特性。(a) 负偏置区^[57]; (b) 正偏置区^[57]。Copyright © 2019, American Chemical Society. (c) 基于石墨烯-MoS₂异质结构的离子凝胶栅垂直晶体管器件示意图^[58]; (d) 基于石墨烯-WSe₂异质结构的离子凝胶栅垂直晶体管在不同栅极电压下的特性^[58]。Copyright © 2016, Wiley

Figure 3 (Color online) High current density characteristics of vertical transistors. (a) Negative bias regions^[57]; (b) positive bias regions^[57]。Copyright © 2019, American Chemical Society. (c) Device schematic of an ion-gel-gated VFET based on a graphene-MoS₂ heterostructure^[58]; (d) characteristics of the ion-gel-gated VFET based on a graphene-WSe₂ heterostructure at various gate voltages^[58]。Copyright © 2016, Wiley

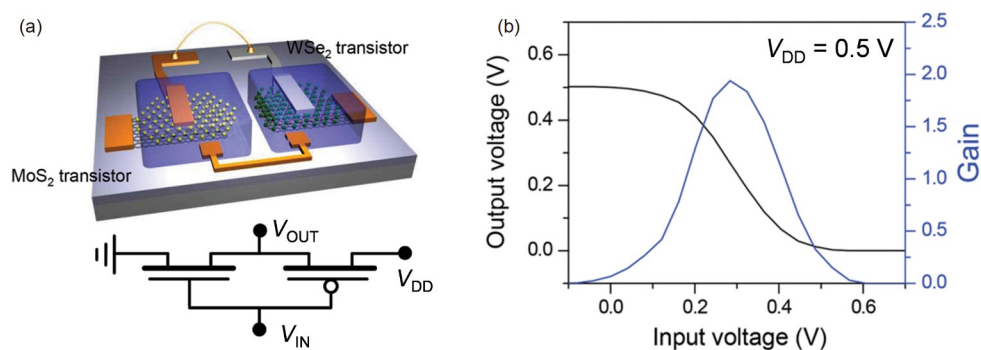


图4 (网络版彩色)利用垂直器件构筑互补逆变器^[58]。(a) 由n型石墨烯-MoS₂和p型石墨烯-WSe₂垂直晶体管制成的互补逆变器的原理图和电路图; (b) 逆变器的输出电压和信号增益与输入电压的函数关系。Copyright © 2016, Wiley

Figure 4 (Color online) Building complementary inverters using vertical devices^[58]。(a) Schematic diagram of the device structure and circuit of a complementary inverter fabricated from n-type graphene-MoS₂ and p-type graphene-WSe₂ VFETs; (b) output voltage and signal gain of the inverter as a function of the input voltage。Copyright © 2016, Wiley

沟道受限于不理想金属半导体界面的影响。由于沉积过程中金属电极在界面处产生额外的缺陷, 容易导致金属在沟道中的扩散, 引入大量的界面损伤、缺陷和界面态, 降低了沟道的有效长度, 增大了器件关态下的隧穿电流^[31]。在垂直结构器件中, 接触区域基本上是整个沟道区域, 接触区域的损坏可能会主导整体沟道载

流子传输。因此, 当沟道的厚度小于4 nm时, 栅极几乎无法调制沟道材料的费米能级, 晶体管的开关比快速衰退。研究表明, 通过范德华集成, 将预埋在牺牲衬底上的模块通过弱范德华相互作用力物理组装在一起, 可以消除金属-半导体界面的影响。为了探索垂直晶体管沟道长度极限, Liu等人^[60]通过干法转移的方式将具

有原子级平面的金属电极物理转移到无悬垂键的二硫化钼上, 避免了相关的化学无序和缺陷诱导的间隙态, 实现了金属-二硫化钼范德华接触, 得到了洁净、陡峭的金属半导体界面, 大大降低了隧穿电流和费米能级钉扎效应, 并成功地将沟道长度微缩至亚1 nm(如图5(a), (b)). 该MoS₂垂直场效应晶体管在沟道长度为5 nm时的开关比为 $\sim 10^3$, 进一步将沟道长度微缩到3.6 nm时, 垂直晶体管的开关比仍保持为 $\sim 10^3$, 并且在0.65 nm沟道下, 仍然可以实现开关特性(~ 26) (如图5(c)~(e)).

1.2 栅极调控隧穿电流垂直晶体管

当石墨烯和半导体间的势垒增加时, 热载流子在常温下很难跨越, 因此器件的主要工作机理为载流子的隧穿效应, 从而形成隧穿垂直晶体管. 当施加正向栅极电压时, 石墨烯的费米能级向上移动, 隧穿势垒高度降低, 器件则处于开启状态; 施加负向栅极电压降低石墨烯的费米能级, 隧穿势垒高度增加, 垂直晶体管处于关闭状态. 基于此, Britnell等人^[61]最先报道了由石墨烯和薄六方氮化硼(hBN)组成的垂直堆叠异质结的隧穿场效应晶体管. 该器件利用两个石墨烯层作为源极和漏极, 六方氮化硼作为隧穿屏障, 晶体管的开关依赖于外部栅极电压对石墨烯的态密度和石墨烯电极之间的有效隧穿势垒高度的可调性. 由于石墨烯较低的态密度和大的量子电容, 底部石墨烯电极仅部分屏蔽栅极

电场, 从而对载流子密度和隧穿系数实现了充分控制. 尽管其工作提出基于隧穿效应的垂直晶体管, 但是六方氮化硼的高隧穿势垒导致了较高的势垒高度, 器件具有较低的电流密度(约 $10\sim 100 \text{ pA } \mu\text{m}^{-2}$)以及较小的开关比.

为了进一步提高开关比, 使用带隙相对较小的势垒材料(如二硫化钼)是一种可行的方法, 因为石墨烯费米能级的变化(通常为0.5 eV, 受栅极介电击穿的限制)将接近甚至超过势垒高度. 例如, Georgiou等人^[62]以二硫化钨(WS₂)作为两层石墨烯之间的原子级厚度的屏障构建石墨烯垂直场效应晶体管. 因为二硫化钨的带隙较小, 两个石墨烯层之间的电流传输通过负向栅极电压的直接隧穿和正向栅极电压的隧穿或热电子发射发生. 由于隧穿垂直晶体管亚阈值摆幅没有 60 meV dec^{-1} 的基本限制, 当隧穿机制主导总电流时, 该器件的亚阈值摆幅可以达到小于 60 meV dec^{-1} 的状态. 该实验结果表明, 半导体二硫化钨可以作为有效的隧穿屏障, 且允许隧穿和热载流子两种不同输运机理之间切换, 可以优化晶体管性能, 利用4~5层二硫化钨构建的隧穿晶体管有最大的开关比(约 10^6).

为了解决隧穿垂直晶体管电流密度低的问题, 加州大学洛杉矶分校的Liu等人^[63]构建了基于石墨烯、天然氧化物与高掺杂p型硅之间形成的异质结构的隧穿垂直晶体管, 研究了石墨烯-硅之间的天然氧化物层

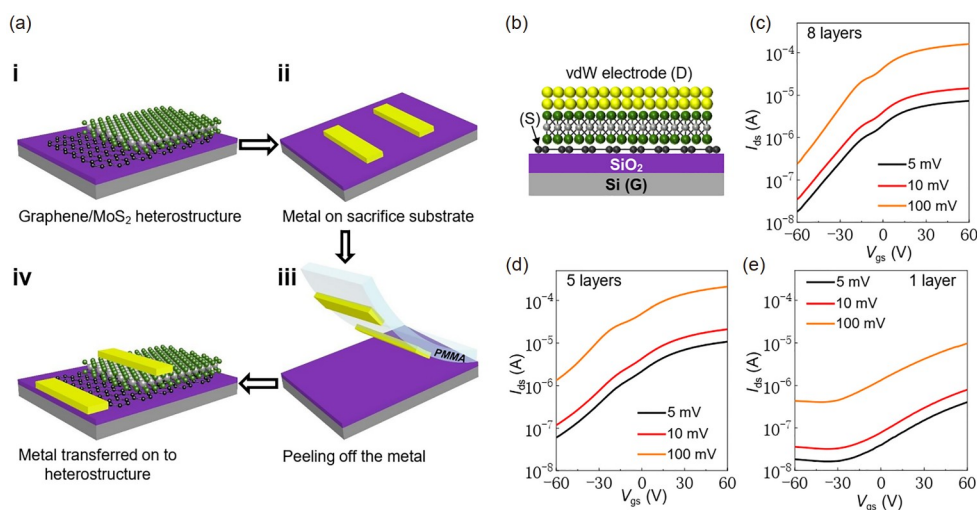


图 5 (网络版彩色)基于范德华转移金属电极的MoS₂垂直晶体管的传输特性^[60]. (a) 范德华金属电极垂直晶体管的制备工艺; (b) 具有范德华电极的垂直晶体管的截面示意图. 采用范德华电极的垂直晶体管的 I_{ds} - V_{gs} 输出曲线, MoS₂沟道厚度为8层(c)、5层(d)、1层(e). Copyright © 2021, Springer Nature

Figure 5 (Color online) Transfer characteristics of MoS₂ vertical transistors with van der Waals metal electrodes^[60]. (a) Fabrication processes of the VFET using the vdW metal electrode; (b) cross-section diagram of a vertical transistor with a van der Waals electrode. I_{ds} - V_{gs} output curves of the VFET using a vdW electrode, the MoS₂ channel thickness is 8 layers (c), five layers (d), and one layer (e), respectively. Copyright © 2021, Springer Nature

在器件电学特性中的作用(如图6(a)). 由于施加在垂直结上的栅极电压可以调节石墨烯的功函数以及硅表面的电荷浓度(损耗/积聚), 因此可以调节石墨烯和硅结之间的相对隧穿势垒. 正的栅极电压降低了石墨烯的功函数, 增加了石墨烯与二氧化硅之间的空穴输运势垒. 此外, 正栅极电压会耗尽p型硅表面, 导致耗尽层作为额外的隧穿势垒. 这两种效应共同抑制了隧穿概率, 降低了隧穿电流的幅值, 导致了截止状态. 当施加负向栅极电压时, 石墨烯的功函数增加, 降低了与氧化硅的隧穿势垒高度. 此外, 通过施加负向栅极电压, 硅表面也切换到无额外势垒的积累区域. 因此, 负栅极电压可以极大地增强隧穿电流并将器件切换到开启状态. 实验结果表明, 硅的掺杂浓度和界面天然氧化物在石墨烯-硅杂化体系中起着至关重要的作用. 得益于高掺杂硅高载流子密度和超薄天然氧化物, 隧穿垂直晶体管可以在1 V偏压下提供超过 20 A cm^{-2} 的电流密度(如图6(b)). 为了进一步调控异质结隧穿垂直晶体管中的有效势垒高度, Bai等人^[64]构建了基于垂直石墨烯-hBN-石墨烯- WS_2 -石墨烯范德华异质结的高度可调的隧穿垂直晶体管, 利用薄的hBN作为栅极电介质和石墨烯背栅结构, 异质结势垒高度通过栅极电压进行调控, 器件在室温下展现出低于0.1 pA的关态电流和超过 10^6 的高开关比. 在该器件中, 载流子隧穿和热电子发射这两种机制都对器件在室温下的工作电流有贡献, 显著提高了场效应隧穿晶体管的开态电流.

2 侧栅的垂直二维晶体管

除了基于石墨烯电极的垂直晶体管, 还有另一种基于侧栅电极的垂直晶体管结构. 在这一结构中, 石墨

烯电极作为器件栅极, 栅极电场垂直于沟道电流的流动方向, 其利用来自石墨烯边缘的电场直接调控垂直沟道, 等效于一个垂直站立的水平晶体管, 因此可以不需要引入石墨烯源漏电极. 这种垂直结构可以有效减少二维晶体管的栅极长度. 在传统二维材料晶体管中, 背栅结构由于简单的制造工艺而被广泛使用, 但其较大的有效氧化物厚度(effective oxide thickness, EOT)限制了器件性能的提高. 另外, 顶栅结构晶体管可以通过沉积具有高介电常数(k)的氧化物原子层, 将EOT缩小到亚1 nm, 极大提高栅控能力并大幅降低器件的亚阈值摆幅. 然而, 无论是何种结构, 栅极长度通常由光刻的分辨率所决定. 即便使用电子束光刻技术, 栅极长度也很难缩小到5 nm以下. 因此, 探索栅极长度接近缩放极限的晶体管就变得十分重要^[65].

为了实现在二维半导体晶体管中栅极长度微缩, Zhang等人^[66]首先在二氧化铪(HfO_2)电介质下预制碳纳米管(carbon nanotubes, CNTs)阵列, 然后在 HfO_2 电介质上通过一步化学合成同时构建和集成超薄二碲化钼(MoTe_2)沟道场效应晶体管, $1\text{T}'$ MoTe_2 作为晶体管的源、漏极. 通过引入碳纳米管作为栅极电极, 成功地将二维 MoTe_2 晶体管栅极长度微缩至4 nm. 与传统技术中使用的分步制造组件相比, 一步化学合成同时构建和集成超薄沟道的制造策略可以显著减少接触障碍和界面杂质, 该器件表现出良好的开关比(约 10^5), 亚阈值摆幅约 73 mV dec^{-1} . Sujay等人^[67]也利用单壁碳纳米管作为金属电极进一步实现了栅极长度的微缩. 该器件结构由二硫化钼半导体、二氧化锆(ZrO_2)栅极电介质组成, 栅极物理长度约1 nm. 该结构可以通过使用单壁碳纳米管的自然尺寸来研究其在短沟道长度下的物理和

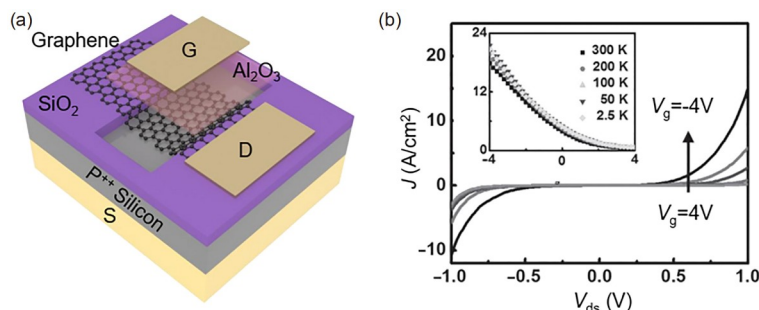


图6 (网络版彩色)隧穿型垂直晶体管的大电流密度特性^[63]. (a) 器件结构示意图, 其中石墨烯连接到漏极电极; (b) $J_{\text{ds}}-V_{\text{ds}}$ 在-4~4 V不同栅极偏置下的输出特性. 插图显示了不同温度($V_{\text{ds}}=1\text{ V}$)下的转移曲线. Copyright © 2016, Wiley

Figure 6 (Color online) High current density characteristics of tunneling vertical transistors^[63]. (a) Schematic illustration of the device structure, where graphene is connected to the drain electrode. (b) $J_{\text{ds}}-V_{\text{ds}}$ output characteristics under different gate biases from -4 to 4 V. The inset shows the transfer curves at different temperatures ($V_{\text{ds}}=1 \text{ V}$). Copyright © 2016, Wiley

静电特性,且无须在这些尺度下进行任何具有挑战性的光刻过程.此外,实验表明二硫化钼沟道上单壁碳纳米管栅极的静电控制随与 $\text{ZrO}_2\text{-MoS}_2$ 界面的距离增加而减小,在栅极长度的缩放限制下,半导体沟道厚度也必须大幅缩小.这些超短栅极长度器件表现出优异的开关特性(约 10^6)以及接近理想的亚阈值摆动(约 65 mV dec^{-1}).

平面晶体管的栅极微缩为通过低维电极实现超短栅长垂直晶体管提供了新的思路.为了实现垂直晶体管栅极长度的持续微缩,Wu等人^[68]利用原子级厚度的石墨烯薄膜优异的导电性能,将其作为栅极,通过石墨烯栅极产生的侧向电场来控制垂直二硫化钼沟道的开关,从而实现等效的物理栅长为 0.34 nm .在该垂直晶体管中,石墨烯作为栅极,金属(铝)层屏蔽了来自石墨烯栅极上表面的垂直电场,使得只有来自石墨烯边缘的电场可以调控垂直 MoS_2 沟道.因此,通过在石墨烯上施加负向电压局部耗尽垂直的 MoS_2 沟道,晶体管可以被完全关断.他们利用化学气相沉积生长的大面积石墨烯和二硫化钼薄膜,成功地在2英寸晶圆上制造侧壁晶体管.这些器件的开/关比大于 10^5 ,亚阈值摆动值低至 117 mV dec^{-1} .

3 总结与展望

尽管垂直晶体管因其工作频率高、工作电压低、

电流密度大等优点在下一代电子器件中受到了极大的关注,但它也面临着诸多挑战.在基于二维材料(石墨烯、过渡金属二卤化物、六方氮化硼)的范德华异质结构中,二维材料大部分是通过机械剥离或化学气相沉积生长获得的,高质量可控的大规模二维半导体的制备技术仍是垂直晶体管转向实际应用所必需的.特别是石墨烯材料在生长、转移过程中存在的损伤与基底的污染等问题也仍需重视,由于二维半导体表面无悬挂键的存在,石墨烯与其他二维半导体的垂直集成也值得关注.

此外,栅极调制肖特基势垒垂直晶体管的工作依赖于源电极和半导体之间肖特基势垒的调制,而不是像平面场效应晶体管那样直接调制半导体层中的载流子密度.因此,栅极调制肖特基势垒垂直晶体管的主要挑战是找到合适的源电极,与半导体形成良好的接触和合适的肖特基势垒.

探索垂直晶体管沟道材料厚度极限,进一步提高超短沟道垂直晶体管的开态电流与开关比也成为一个重要挑战.此外,垂直排列晶体管是实现高集成密度的纳米级器件的方法,在垂直方向上集成多个晶体管同样具有挑战性,因为底部栅极电场不能调制太多层,并且需要额外的栅极电极.尽管存在这些挑战,垂直晶体管天然的短沟道长度和垂直载流子传输有望实现下一代新原理和新功能器件.

参考文献

- 1 Liu Y, Duan X, Shin H J, et al. Promises and prospects of two-dimensional transistors. *Nature*, 2021, 591: 43–53
- 2 Quhe R, Xu L, Liu S, et al. Sub-10 nm two-dimensional transistors: Theory and experiment. *Phys Rep*, 2021, 938: 1–72
- 3 Liu Y, Huang Y, Duan X. Van der Waals integration before and beyond two-dimensional materials. *Nature*, 2019, 567: 323–333
- 4 Akinwande D, Huyghebaert C, Wang C H, et al. Graphene and two-dimensional materials for silicon technology. *Nature*, 2019, 573: 507–518
- 5 Liu Y, Duan X, Huang Y, et al. Two-dimensional transistors beyond graphene and TMDCs. *Chem Soc Rev*, 2018, 47: 6388–6409
- 6 Zhai W, Li Z, Zhai L, et al. Epitaxial growth of wafer-scale single-crystal transition metal dichalcogenide monolayers for future electronics. *Matter*, 2022, 5: 2405–2408
- 7 Wang Y, Kim J C, Li Y, et al. P-type electrical contacts for 2D transition-metal dichalcogenides. *Nature*, 2022, 610: 61–66
- 8 Wang Y, Chhowalla M. Making clean electrical contacts on 2D transition metal dichalcogenides. *Nat Rev Phys*, 2021, 4: 101–112
- 9 Li W S, Zhou J, Wang H C, et al. Logical integration device for dimensional semiconductor transistor metal sulfide (in Chinese). *Acta Phys Sin*, 2017, 66: 22 [李卫胜, 周健, 王瀚宸, 等. 二维半导体过渡金属硫化物的逻辑集成器件. *物理学报*, 2017, 66: 22]
- 10 Kong L, Chen Y, Liu Y. Recent progresses of NMOS and CMOS logic functions based on two-dimensional semiconductors. *Nano Res*, 2020, 14: 1768–1783
- 11 Luo P, Liu C, Lin J, et al. Molybdenum disulfide transistors with enlarged van der Waals gaps at their dielectric interface via oxygen accumulation. *Nat Electron*, 2022, 5: 849–858
- 12 Jiang B, Yang Z, Liu X, et al. Interface engineering for two-dimensional semiconductor transistors. *Nano Today*, 2019, 25: 122–134
- 13 Pinilla S, Coelho J, Li K, et al. Two-dimensional material inks. *Nat Rev Mater*, 2022, 7: 717–735
- 14 Liu Y, Liu S, Wang Z, et al. Low-resistance metal contacts to encapsulated semiconductor monolayers with long transfer length. *Nat Electron*,

- 2022, 5: 579–585
- 15 Hwangbo S, Hu L, Hoang A T, et al. Wafer-scale monolithic integration of full-colour micro-LED display using MoS₂ transistor. *Nat Nanotechnol*, 2022, 17: 500–506
- 16 Lin J, Chen X, Duan X, et al. Ultra-steep-slope high-gain MoS₂ transistors with atomic threshold-switching gate. *Adv Sci*, 2022, 9: 2104439
- 17 Liu X, Liang R, Gao G, et al. MoS₂ negative-capacitance field-effect transistors with subthreshold swing below the physics limit. *Adv Mater*, 2018, 30: 1800932
- 18 Kwon G, Choi Y H, Lee H, et al. Interaction- and defect-free van der Waals contacts between metals and two-dimensional semiconductors. *Nat Electron*, 2022, 5: 241–247
- 19 Wu P, Reis D, Hu X S, et al. Two-dimensional transistors with reconfigurable polarities for secure circuits. *Nat Electron*, 2020, 4: 45–53
- 20 Zou X, Liu L, Xu J, et al. Few-layered MoS₂ field-effect transistors with a vertical channel of sub-10 nm. *ACS Appl Mater Interfaces*, 2020, 12: 32943–32950
- 21 Tian J P, Wang S P, Shi D X, et al. Vertical short-channel MoS₂ field-effect transistors (in Chinese). *Acta Phys Sin*, 2022, 71: 6 [田金朋, 王硕培, 时东霞, 等. 垂直短沟道二硫化钼场效应晶体管. *物理学报*, 2022, 71: 6]
- 22 Nourbakhsh A, Zubair A, Sajjad R N, et al. MoS₂ field-effect transistor with sub-10 nm channel length. *Nano Lett*, 2016, 16: 7798–7806
- 23 Sun X, Song Z, Liu S, et al. Sub-5 nm monolayer arsenene and antimonene transistors. *ACS Appl Mater Interfaces*, 2018, 10: 22363–22371
- 24 Liu L, Liu Y, Duan X. Graphene-based vertical thin film transistors. *Sci China Inf Sci*, 2020, 63: 201401
- 25 Giannazzo F, Greco G, Roccaforte F, et al. Vertical transistors based on 2D materials: Status and prospects. *Crystals*, 2018, 8: 70
- 26 Song S, Yoon A, Ha J K, et al. Atomic transistors based on seamless lateral metal-semiconductor junctions with a sub-1-nm transfer length. *Nat Commun*, 2022, 13: 4916
- 27 Shi X, Li X, Guo Q, et al. Improved self-heating in short-channel monolayer WS₂ transistors with high-thermal conductivity BeO dielectrics. *Nano Lett*, 2022, 22: 7667–7673
- 28 Li E, Gao C, Yu R, et al. MXene based saturation organic vertical photoelectric transistors with low subthreshold swing. *Nat Commun*, 2022, 13: 2898
- 29 Donahue M J, Williamson A, Strakosas X, et al. High-performance vertical organic electrochemical transistors. *Adv Mater*, 2018, 30: 1705031
- 30 Kleemann H, Krechan K, Fischer A, et al. A review of vertical organic transistors. *Adv Funct Mater*, 2020, 30: 1907113
- 31 Liu Y, Guo J, Zhu E, et al. Approaching the Schottky–Mott limit in van der Waals metal–semiconductor junctions. *Nature*, 2018, 557: 696–700
- 32 Xu Z, Chen W, Huang J, et al. Vertical Josephson field-effect transistors based on black phosphorus. *Appl Phys Lett*, 2021, 119: 072601
- 33 Pyo G, Lee G J, Lee S, et al. Vertical thin film transistor based on conductivity modulation of graphene electrode by micro-hole patterning. *Adv Elect Mater*, 2021, 8: 2101000
- 34 Lenz J, Seiler A M, Geisenhof F R, et al. High-performance vertical organic transistors of sub-5 nm channel length. *Nano Lett*, 2021, 21: 4430–4436
- 35 Lee J H, Shin D H, Yang H, et al. Semiconductor-less vertical transistor with I_{ON}/I_{OFF} of 10^6 . *Nat Commun*, 2021, 12: 1000
- 36 Mouafo L D N, Godel F, Simon L, et al. 0D/2D heterostructures vertical single electron transistor. *Adv Funct Mater*, 2020, 31: 2008255
- 37 Iwataki M, Oi N, Horikawa K, et al. Over 12000 A/cm² and 3.2 mΩ cm² miniaturized vertical-type two-dimensional hole gas diamond MOSFET. *IEEE Electron Device Lett*, 2020, 41: 111–114
- 38 Liu X, Yang Y, Hu T, et al. Vertical ferroelectric switching by in-plane sliding of two-dimensional bilayer WTe₂. *Nanoscale*, 2019, 11: 18575–18581
- 39 Huang W, Chen J, Yao Y, et al. Vertical organic electrochemical transistors for complementary circuits. *Nature*, 2023, 613: 496–502
- 40 Liu C, Ma W, Chen M, et al. A vertical silicon-graphene-germanium transistor. *Nat Commun*, 2019, 10: 4873
- 41 Kim S, Kim Y C, Choi Y J, et al. Vertically stacked CVD-grown 2D heterostructure for wafer-scale electronics. *ACS Appl Mater Interfaces*, 2019, 11: 35444–35450
- 42 Di Bartolomeo A, Urban F, Passacantando M, et al. A WSe₂ vertical field emission transistor. *Nanoscale*, 2019, 11: 1538–1548
- 43 Liu Y, Weiss N O, Duan X, et al. Van der Waals heterostructures and devices. *Nat Rev Mater*, 2016, 1: 16042
- 44 Tang H L, Chiu M H, Tseng C C, et al. Multilayer graphene–WSe₂ heterostructures for WSe₂ transistors. *ACS Nano*, 2017, 11: 12817–12823
- 45 Wang C, Pan C, Liang S J, et al. Reconfigurable vertical field-effect transistor based on graphene/MoTe₂/graphite heterostructure. *Sci China Inf Sci*, 2020, 63: 202402
- 46 Zeng C, Song E B, Wang M, et al. Vertical graphene-base hot-electron transistor. *Nano Lett*, 2013, 13: 2370–2375
- 47 Shin J, Kim H, Sundaram S, et al. Vertical full-colour micro-LEDs via 2D materials-based layer transfer. *Nature*, 2023, 614: 81–87
- 48 Kim J S, Kim B J, Choi Y J, et al. An organic vertical field-effect transistor with underside-doped graphene electrodes. *Adv Mater*, 2016, 28: 4803–4810
- 49 Heo J, Byun K E, Lee J, et al. Graphene and thin-film semiconductor heterojunction transistors integrated on wafer scale for low-power electronics.

- [Nano Lett](#), 2013, 13: 5967–5971
- 50 Liu Y, Zhou H, Cheng R, et al. Highly flexible electronics from scalable vertical thin film transistors. [Nano Lett](#), 2014, 14: 1413–1418
 - 51 Yang H, Heo J, Park S, et al. Graphene barristor, a triode device with a gate-controlled schottky barrier. [Science](#), 2012, 336: 1140–1143
 - 52 Yu W J, Li Z, Zhou H, et al. Vertically stacked multi-heterostructures of layered materials for logic transistors and complementary inverters. [Nat Mater](#), 2013, 12: 246–252
 - 53 Kong L, Zhang X, Tao Q, et al. Doping-free complementary WSe₂ circuit via van der Waals metal integration. [Nat Commun](#), 2020, 11: 1866
 - 54 Wang Y, Kim J C, Wu R J, et al. Van der Waals contacts between three-dimensional metals and two-dimensional semiconductors. [Nature](#), 2019, 568: 70–74
 - 55 Kleemann H, Günther A A, Leo K, et al. High-performance vertical organic transistors. [Small](#), 2013, 9: 3670–3677
 - 56 Moriya R, Yamaguchi T, Inoue Y, et al. Large current modulation in exfoliated-graphene/MoS₂/metal vertical heterostructures. [Appl Phys Lett](#), 2014, 105: 083119
 - 57 Liu Y, Guo J, Zhu E, et al. Maximizing the current output in self-aligned graphene–InAs–metal vertical transistors. [ACS Nano](#), 2019, 13: 847–854
 - 58 Choi Y, Kang J, Jariwala D, et al. Low-voltage complementary electronics from ion-gel-gated vertical van der Waals heterostructures. [Adv Mater](#), 2016, 28: 3742–3748
 - 59 Liu Y, Zhou H, Weiss N O, et al. High-performance organic vertical thin film transistor using graphene as a tunable contact. [ACS Nano](#), 2015, 9: 11102–11108
 - 60 Liu L, Kong L, Li Q, et al. Transferred van der Waals metal electrodes for sub-1-nm MoS₂ vertical transistors. [Nat Electron](#), 2021, 4: 342–347
 - 61 Britnell L, Gorbachev R V, Jalil R, et al. Field-effect tunneling transistor based on vertical graphene heterostructures. [Science](#), 2012, 335: 947–950
 - 62 Georgiou T, Jalil R, Belle B D, et al. Vertical field-effect transistor based on graphene–WS₂ heterostructures for flexible and transparent electronics. [Nat Nanotech](#), 2013, 8: 100–103
 - 63 Liu Y, Sheng J, Wu H, et al. High-current-density vertical-tunneling transistors from graphene/highly doped silicon heterostructures. [Adv Mater](#), 2016, 28: 4120–4125
 - 64 Bai Z, Xiao Y, Luo Q, et al. Highly tunable carrier tunneling in vertical graphene–WS₂–graphene van der Waals heterostructures. [ACS Nano](#), 2022, 16: 7880–7889
 - 65 Jiang J, Doan M H, Sun L, et al. Ultrashort vertical-channel van der Waals semiconductor transistors. [Adv Sci](#), 2020, 7: 1902964
 - 66 Zhang Q, Wang X F, Shen S H, et al. Simultaneous synthesis and integration of two-dimensional electronic components. [Nat Electron](#), 2019, 2: 164–170
 - 67 Desai S B, Madhvapathy S R, Sachid A B, et al. MoS₂ transistors with 1-nanometer gate lengths. [Science](#), 2016, 354: 99–102
 - 68 Wu F, Tian H, Shen Y, et al. Vertical MoS₂ transistors with sub-1-nm gate lengths. [Nature](#), 2022, 603: 259–264

Summary for “基于二维半导体的垂直晶体管”

Vertical transistors based on two-dimensional semiconductors

Zhikai Le, Xiao Liu, Yunxin Li, Liting Liu & Yuan Liu*

*School of Physics and Electronics, Hunan University, Changsha 410082, China** Corresponding author, E-mail: yuanliuhnu@hnu.edu.cn

With transistor channel length scaled to sub-10 nm, silicon (Si)-based semiconductor scaling technology has gradually shown more and more challenges. The most notable one is the poor electrostatic control of the gate electric field on the silicon channel with increased power consumption and short-channel effect. On the other hand, two-dimensional semiconductors feature dangling-bonds-free surface, and the carriers are confined in their atomically thin channels, exhibiting excellent electronic performances at atomic-thin body thickness, which is expected to further scale the size of transistors. Two-dimensional semiconductor transistors with short channels have been successfully fabricated by various methods, but usually require complex equipment and high-energy fabrication processes, and become increasingly difficult in the sub-10 nm or sub-5 nm region. Vertical field-effect transistors (VEFTs), in which the channel material is sandwiched between source-drain electrodes, are expected to achieve ultra-short channel-length devices. Vertical transistors have naturally shorter channel lengths, are defined only by the thickness of the semiconductor material, and thus can deliver large drive currents that were previously unachievable using conventional planar device structures. In order to achieve effective gate modulation and current switching performance, traditional organic vertical transistors use mesh-like conductive materials such as metal nanowires and carbon nanotubes as the bottom electrode, through which the gate electric field can penetrate. Although the porous electrode as the bottom electrode reduces the shielding effect of the gate electric field and improves the gate control of the device, its rough surface hinders the construction of ultrashort-channel vertical transistors. On the other hand, from a performance perspective, VFETs based on perforated electrodes cannot fully unlock the potential that vertical transistors may offer. In recent years, with the emergence of graphene, a new type of graphene-based vertical transistor has been developed. Due to the finite density of states and weak electrostatic shielding effect, graphene exhibits field-tunable work functions and partial electrostatic transparency. Thus, graphene can be used as a unique semitransparent electrode to build vertical transistors. In this structure, vertical transistors based on a variety of semiconductor channel materials have been reported, including two-dimensional semiconductors, silicon and germanium, thin-film oxide semiconductors, and organic semiconductors. According to the mechanism of carrier injection in the semiconductor channel, vertical transistors can be classified into two categories: Thermionic vertical transistors and tunneling vertical transistors. In a thermionic vertical transistor, a thin-film semiconductor is used as the channel material for a van der Waals contact to graphene forming a Schottky barrier, and the applied gate voltage effectively modulates the work function of graphene, the Schottky barrier height across the graphene/semiconductor interface, resulting in large on/off ratios unattainable with conventional planar graphene transistors. Whereas in vertical tunneling transistors, two graphene layers serve as source and drain electrodes, separated by a thin insulator layer, the switch relies on gate voltage tunability of the density of states in graphene and the efficient tunneling barrier height between graphene electrodes. Both tunneling transistors and field effect transistors have been shown to have extremely large on/off ratios or current densities. But within the ultrashort vertical channel length, the vertical short channel effect, the vertical Fermi level pinning effect, and the carrier saturation effect play an important role in high-performance vertical transistors. The channel length scaling limit of vertical transistors and obtaining high current densities are still challenges. This paper reviews the basic progress in the construction of vertical transistors based on two-dimensional semiconductors, including the basic structure, working mechanism and device performance.

two-dimensional semiconductor, vertical transistor, device structure, device performancedoi: [10.1360/TB-2023-0081](https://doi.org/10.1360/TB-2023-0081)