论 文

高 k 栅 MOSFET 栅 – 源/漏寄生电容的半解析模型樊进^①, 柯导明^{①*}, 薛峰^②, 陈军宁^①^① 安徽大学电子信息工程学院, 合肥 230601^② 安徽三联学院信息与通信技术系, 合肥 230601

* 通信作者. E-mail: kedaoming@sohu.com

收稿日期: 2013-07-31; 接受日期: 2014-02-10

国家自然科学基金 (批准号: 61076086, 61376098) 和高等学校博士学科点专项科研基金 (批准号: 20103401110008) 资助项目

摘要 文章针对高 k 栅 MOSFET 的栅介质层及其侧壁掩蔽层提出了一个二维定解问题, 求出了二维电势和电荷分布. 文章根据栅极电荷与栅源及栅漏电压关系, 提出了 MOSFET 的栅极和源极/漏极之间的寄生电容的模型, 用半解析法计算了这些寄生电容, 得到了寄生电容与几何尺寸之间的关系. 文章的计算结果表明改变栅极电介质常数可以得到一个寄生电容的最小值, 计算结果与 CST 仿真结果能够很好地符合.

关键词 高 k 栅介质 MOSFET Laplace 方程 Gauss 定理 栅与源/漏寄生电容 半解析模型

1 引言

随着 MOSFET 越来越小, 为了保持器件性能不变, 用高介质材料替代 SiO_2 作为栅介质已成为必然选择. 但是高 k 栅的介质介电常数和厚度的改变使得寄生电容与以往的情况有些变化. 首先, 高 k 介质栅取代 SiO_2 介质层将增强两个边缘电场产生的作用, 产生更大的寄生电容; 其次, MOSFET 的本征电容随着器件尺寸的减小而成比例减小, 而工艺中寄生电容并不随器件尺寸的减小而成比例减小, 寄生电容在总电容中占的比例就迅速增加, 从而影响器件的稳定性和可靠性, 因此小尺寸器件寄生电容的研究得到了众多研究者的重视 [1,2].

典型的寄生电容的计算方法有数值计算方法和解析方法计算. 数值法的优点是能得到精度高的电容值, 但是没有解析表达式, 因此缺乏物理意义, 计算量大, 难以应用于 SPICE 之类的电路模拟软件中; 解析方法的优点是有计算公式, 物理意义明显, 成为 MOSFET 寄生电容计算研究的热点之一. Suzuki 总结了一些较早的模型结果, Kumar 对 Suzuki 的结果所做出的修正 [3~9]. Liu 等 [10,11] 也给出了一个 2-D 模型, 这些模型都用保角变换的方法计算寄生电容, 虽然能得到解析公式, 但是由于保角变换必须在同一介质中进行, 所以这些模型只能求解栅介质和周围掩蔽层是同一介质的 MOSFET 的寄生电容, 无法模拟栅介质与周围介电常数不同的高 k 栅 MOSFET 的寄生电容. Mohapatra 等 [12] 对以上的方法进行了扩展, 提出了可用于高 k 栅的半解析模型, 但是这个解析模型中包含了许多经验匹配因子, 通过调整匹配因子才能使结果和数值模拟的结果相吻合, 这为电路模拟和设计带来了困难. 为了

引用格式: 樊进, 柯导明, 薛峰, 等. 高 k 栅 MOSFET 栅 – 源/漏寄生电容的半解析模型. 中国科学: 信息科学, 2014, 44: 931-945, doi: 10.1360/N112013-00118

图 1 高 k 栅 MOSFET 的实际工艺结构图

Figure 1 Schematic view of a high-k gate dielectric MOSFET

图 2 (a) MOSFET 的完整抽象模型; (b) 实际计算所取的坐标系

Figure 2 (a) Abstract model of a MOSFET; (b) geometrical configuration in X-Y plane

克服上述方法的缺陷, 本文提出了用半解析法求解高 k 栅寄生电容. 文章首先由高 k 栅介质电容的分布情况, 提出电势分布的定解问题, 用半解析法和特征函数展开法结合求出了电势的表达式; 然后从电势分布函数计算栅氧化层电容和栅和源/漏之间的寄生电容, 得到一个用无穷级数表示的电容表达式, 级数中的未知数可通过线性代数方程组解得. 表达式中不包含任何经验参数, 计算结果与数值模拟结果高度一致.

2 寄生电容的物理模型

实际的高 k 栅介质 MOSFET 与本征 MOSFET 在栅区的主要差别是源极和漏极必须金属化, 然后淀积金属形成电极, 其物理结构如图 1 所示. 为了便于计算将图 1 的 NMOSFET 抽象成图 2(a) 的 NMOSFET. 图 2(a) 中, ABCD 是金属或多晶硅电极, 是一等势体; CDFE 是高 k 栅电介质; FE 是 MOSFET 的沟道. 由于金属是等电势的, 所以将源电极和漏电极分别抽象成 GH 和 IJ 两个等势线. 源和栅、栅和沟道、栅和漏极因为电位不同, 将产生电场, 为了模拟栅源、栅和漏极的电场, 引入两个矩形等效源 AEHG 和 BFJI, 这两个矩形源之间没有耦合. 由于结构是对称的, 可以用叠加定理将栅电极对源极和漏极的影响分开计算, 先计算矩形源 GAEH 的作用, 只需要取矩形 GABDFEH 计算, 如图 2(b) 所示. 其中 t_g 表示栅极厚度, t_{ox} 表示高 k 栅介质层厚度, L 是 MOSFET 沟道长度, L_S 是源区长度. 栅极电压为 V_{GS} , 源区电势为 V_{SS} , 漏区电势为 V_{DS} .

考虑栅极矩形源 ABCD, CDFE 和 AEHG 之间的互相作用. 假设介质层是理想介质, 则栅与硅衬底表面、栅与源/漏之间无电流流动, 因而这些耦合作用可用电容来表示. 本征电容和寄生电容如图 3

图 3 电容分布图

Figure 3 Physical model of parasitic capacitance in n-channel MOSFETs

所示. 栅-源/漏的寄生电容 C_{total} 包含了栅电极侧壁到源/漏的电容 C_{tgss} , 栅电极底部对源/漏的电容 C_{gss} , 于是有 $C_{\text{total}} = C_{\text{tgss}} + C_{\text{gss}}$. 本征电容 C_{self} 包含栅电极侧壁对硅衬底表面的电容 C_{tgvs} 和栅极底部到硅衬底表面的本征栅氧化层电容 C_{gvs} , 总本征电容是 $C_{\text{self}} = 2C_{\text{tgvs}} + C_{\text{gvs}}$.

3 栅源二维定解问题

先考虑栅-源的电场耦合作用. 由于实际 MOSFET 的宽度 w 比沟道长度 L 大得多, 故可设垂直于面 xOy 方向栅极宽度为无穷长, 并取一单位栅宽. 源区电势为 V_{SS} , 源区长度为 L_S , 令 GAEH 区域为 I 区, CDFE 为 II 区. I 区介电常数为 ϵ_1 , II 区介电常数为 ϵ_r . 由于介质内部没有电荷, 矩形源所在区域是关于 Laplace 方程的定解问题, 下面分区域讨论它们的电势分布.

I 区是矩形等效源 GAEH, 这个区域里的场强是金属电极 ABCD 与源极 GHE 的作用, 由于电力线必须有头有尾, 因此来此源和栅的电力线互相终止在对方, 假设没有电力线向外泄漏, 则沿 GA 的法向没有场强. 各矩形区域内没有自由电荷, 故可得到二维定解问题是

$$\begin{cases} \frac{\partial^2 \phi_I}{\partial x^2} + \frac{\partial^2 \phi_I}{\partial y^2} = 0, \\ \phi_I|_{x=-L_S} = V_{\text{SS}}, \\ \phi_I|_{y=0} = V_{\text{SS}}, \frac{\partial \phi_I}{\partial y} \Big|_{y=t_{\text{ox}}+t_g} = 0. \end{cases} \quad (1)$$

区域 II 是 MOSFET 的栅极及氧化层区域. $y=0$ 处是 Si-SiO₂ 界面, Si 的表面电势为 ϕ_S , 由于源极和漏极是对称的, 这里用叠加定理将栅电极对源极和漏极的影响分开计算. 先计算栅对源极的影响, 因其对漏极没有电力线穿出, 故有边界条件 $\frac{\partial \phi_{II}}{\partial x} \Big|_{x=L} = 0$, 区域 ABCD 是金属电极或者多晶硅区域,

故是等电位的, 所以有 $\phi_{II}|_{ABCD} = V_{GS}$, 这样有定解问题

$$\begin{cases} \frac{\partial^2 \phi_{II}}{\partial x^2} + \frac{\partial^2 \phi_{II}}{\partial y^2} = 0, \\ \phi_{II}|_{y=0} = \phi_s(x), \phi_{II}|_{y=t_{ox}} = V_{GS}, \\ \frac{\partial \phi_{II}}{\partial x} \Big|_{x=L} = 0, \end{cases} \quad (2)$$

其中, ϕ_I, ϕ_{II} 分别表示 I 区和 II 区的电势.

I 区和 II 区之间的边界 AC 和 CE 两边电势根据电介质本构关系得到衔接条件是

$$CE: \begin{cases} \varepsilon_I \frac{\partial \phi_I}{\partial x} \Big|_{x=0} = \varepsilon_r \frac{\partial \phi_{II}}{\partial x} \Big|_{x=0}, & 0 \leq y \leq t_{ox}, \\ \phi_I|_{x=0} = \phi_{II}|_{x=0}, \end{cases} \quad (3)$$

$$AC: \phi_I|_{x=0} = V_{GS}, \quad t_{ox} \leq y \leq t_{ox} + t_g. \quad (4)$$

4 二维电势分布的计算

4.1 I 区电势分布的定解问题

先对区域 I 进行求解, 设

$$\phi_I = u(x, y) + V_{SS}, \quad (5)$$

则方程 (1) 变化为

$$\begin{cases} \frac{\partial^2 u}{\partial x^2} + \frac{\partial^2 u}{\partial y^2} = 0, \\ u|_{y=0} = 0, \frac{\partial u}{\partial y} \Big|_{y=t_{og}} = 0, \\ u|_{x=-L_s} = \phi_I|_{x=-L_s} - V_{SS} = V_{SS} - V_{SS} = 0. \end{cases} \quad (6)$$

求解二阶偏微分方程可以得到

$$u(x, y) = \sum_{n=1}^{\infty} B_n \frac{\sinh \frac{(2n-1)\pi}{2t_{og}} (L_s + x)}{\cosh \frac{(2n-1)\pi L_s}{2t_{og}}} \sin \frac{(2n-1)\pi y}{2t_{og}}, \quad (7)$$

这里 $t_{og} = t_{ox} + t_g$. 式 (7) 代入式 (5), 可写为

$$\phi_I(x, y) = V_{SS} + \sum_{n=1}^{\infty} B_n \frac{\sinh \frac{(2n-1)\pi}{2t_{og}} (L_s + x)}{\cosh \frac{(2n-1)\pi L_s}{2t_{og}}} \sin \frac{(2n-1)\pi y}{2t_{og}}. \quad (8)$$

4.2 II 区电势分布的定解问题

设 II 区电势 ϕ_{II} 为

$$\phi_{II}(x, y) = u(x, y) + \phi_s(x) + \frac{V_{GS} - \phi_s(x)}{t_{ox}} y, \quad (9)$$

则方程 (2) 变化为

$$\begin{cases} \frac{\partial^2 u}{\partial x^2} + \frac{\partial^2 u}{\partial y^2} = \left(\frac{y}{t_{\text{ox}}} - 1\right) \phi_s''(x), \\ u|_{y=0} = 0, u|_{y=t_{\text{ox}}} = 0, \\ \left.\frac{\partial u}{\partial x}\right|_{x=L} = \left(\frac{y}{t_{\text{ox}}} - 1\right) \phi_s'(x). \end{cases} \quad (10)$$

实际应用中的 MOSFET 都是按比例缩小, 衬底浓度很高^[13], 短沟道效应并不严重. 为了简化计算, 设 MOSFET 的表面电势是一个常数, 即 $\phi_s(x) = \phi_s$, ϕ_s 是一个常数, 则 $\phi_s'(x) = \phi_s''(x) = 0$, 方程 (10) 得到简化, 可得

$$\phi_{\text{II}}(x, y) = \phi_s + \frac{V_{\text{GS}} - \phi_s}{t_{\text{ox}}} y + \sum_{m=1}^{\infty} A_m \frac{\cosh \frac{m\pi(L-x)}{t_{\text{ox}}}}{\cosh \frac{m\pi L}{t_{\text{ox}}}} \sin \frac{m\pi y}{t_{\text{ox}}}. \quad (11)$$

4.3 用边界条件确定系数 B_n 和 A_m

现在要确定方程 (8) 和方程 (11) 中的系数 B_n 和 A_m . 整理边界条件 (3) 和 (4) 式可以得到

$$\phi_{\text{I}}|_{x=0} = \begin{cases} \phi_{\text{II}}|_{x=0}, & 0 \leq y \leq t_{\text{ox}}, \\ V_{\text{GS}}, & t_{\text{ox}} \leq y \leq t_{\text{ox}} + t_g. \end{cases} \quad (12)$$

将方程 (8) 和方程 (11) 代入 (12), 可得到

$$V_{\text{SS}} + \sum_{n=1}^{\infty} B_n \tanh \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} = \begin{cases} V_{\text{GS}}, & t_{\text{ox}} \leq y \leq t_{\text{ox}} + t_g, \\ \phi_s + \frac{V_{\text{GS}} - \phi_s}{t_{\text{ox}}} y + \sum_{m=1}^{\infty} A_m \sin \frac{m\pi y}{t_{\text{ox}}}, & 0 \leq y \leq t_{\text{ox}}. \end{cases} \quad (13)$$

方程 (13) 两边同乘 $\sin \frac{(2n-1)\pi y}{2t_{\text{og}}}$ 再积分, 得到

$$\begin{aligned} & \int_0^{t_{\text{og}}} V_{\text{SS}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} dy + B_n \tanh \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \cdot \frac{1}{2} t_g \\ &= \int_{t_{\text{ox}}}^{t_{\text{og}}} V_{\text{GS}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} dy + \int_0^{t_{\text{ox}}} \phi_s \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} dy \\ &+ \int_0^{t_{\text{ox}}} \frac{V_{\text{GS}} - \phi_s}{t_{\text{ox}}} y \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} dy + \sum_{m=1}^{\infty} A_m \int_0^{t_{\text{ox}}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} \sin \frac{m\pi y}{t_{\text{ox}}} dy, \end{aligned} \quad (14)$$

式中 $t_{\text{og}} = t_{\text{ox}} + t_g$ 表示栅极和栅氧化层厚度的总和. 通过计算, 上式可简化为

$$\begin{aligned} B_n &= -\coth \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \frac{4}{(2n-1)\pi} \left[1 - 2 \left(1 + \frac{t_g}{t_{\text{ox}}} \right) \frac{\sin \frac{(2n-1)\pi t_{\text{ox}}}{2t_{\text{og}}}}{(2n-1)\pi} \right] (V_{\text{GS}} - \phi_s) \\ &+ \coth \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \frac{4}{(2n-1)\pi} \cdot (V_{\text{GS}} - V_{\text{SS}}) \end{aligned}$$

$$+ \sum_{m=1}^{\infty} A_m \coth \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \cdot \theta_{mn}, n=1, 2, 3, \dots, \quad (15)$$

其中

$$\theta_{mn} = \frac{2}{t_{\text{og}}} \int_0^{t_{\text{ox}}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} \sin \frac{m\pi y}{t_{\text{ox}}} dy. \quad (16)$$

根据高斯定律, 场强的法向分量也是连续的, 因此第二个边界条件为

$$\varepsilon_I \frac{\partial \phi_I}{\partial x} \Big|_{x=0} = \varepsilon_r \frac{\partial \phi_{II}}{\partial x} \Big|_{x=0}, \quad 0 \leq y \leq t_{\text{ox}}, \quad (17)$$

其中 ε_I 是源接触的介电常数, ε_r 是栅极氧化物层的介电常数, 将方程 (8) 和方程 (11) 代入 (17) 式可得

$$A_m = -\frac{\varepsilon_I}{\varepsilon_r} \sum_{n=1}^{\infty} \frac{(2n-1)}{m} \cdot \coth \frac{m\pi L}{t_{\text{ox}}} \cdot \frac{2}{t_{\text{og}}} B_n \int_0^{t_{\text{ox}}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}} \sin \frac{m\pi y}{t_{\text{ox}}} dy. \quad (18)$$

将式 (16) 带入式 (18), 可得

$$A_m = -\frac{\varepsilon_I}{\varepsilon_r} \sum_{n=1}^{\infty} \frac{(2n-1)}{m} \theta_{mn} B_n \coth \frac{m\pi L}{t_{\text{ox}}}, m=1, 2, 3, \dots \quad (19)$$

式 (19) 带入到式 (15), 可得到

$$\begin{aligned} B_n = & -\coth \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \cdot \frac{4}{(2n-1)\pi} \cdot \left[1 - 2 \left(1 + \frac{t_g}{t_{\text{ox}}} \right) \frac{\sin \frac{(2n-1)\pi t_{\text{ox}}}{2t_{\text{og}}}}{(2n-1)\pi} \right] \cdot (V_{\text{GS}} - \phi_s) \\ & + \coth \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \cdot \frac{4}{(2n-1)\pi} \cdot (V_{\text{GS}} - V_{\text{SS}}) \\ & - \sum_{m=1}^{\infty} \sum_{k=1}^{\infty} \frac{\varepsilon_I}{\varepsilon_r} \frac{(2k-1)}{m} \coth \frac{m\pi L}{t_{\text{ox}}} \coth \frac{(2n-1)\pi L_s}{2t_{\text{og}}} \cdot \theta_{mn} \theta_{mk} B_k, n=1, 2, 3, \dots \end{aligned} \quad (20)$$

5 寄生电容和氧化层本征电容

5.1 栅极和源极之间的电容

电容表征了储存电荷的能力. 为了计算出电容, 首先要算出 I 区和 II 区电荷量. 由导体在静电场中的特性可知, 电荷只存在于栅电极的表面, 因此可取如图 4 所示的高斯面. 设 I 区和 II 区电荷分别为 Q_I 和 Q_{II} , 设 $\mathbf{E}_{Ix}$ 表示 I 区和栅电极之间的电场强度, $\mathbf{E}_{IIy}$ 表示 II 区和栅电极之间的电场强度. 则有

$$\frac{\partial \phi_I}{\partial x} \Big|_{x=0} = \sum_{n=1}^{\infty} B_n \frac{(2n-1)\pi}{2t_{\text{og}}} \sin \frac{(2n-1)\pi y}{2t_{\text{og}}}, \quad (21)$$

于是有

$$\mathbf{E}_{Ix} = -\frac{\partial \phi_I}{\partial x} \Big|_{x=0} = -\frac{\pi}{2t_{\text{og}}} \sum_{n=1}^{\infty} B_n (2n-1) \sin \frac{(2n-1)\pi y}{2t_{\text{og}}}, \quad (22)$$

图 4 高斯面法求电荷

Figure 4 Calculation of charges by Gauss's law

由高斯定律可知: $\oint_S \mathbf{D} \cdot d\mathbf{S} = \sum q$, 其中 $\mathbf{D} = \varepsilon_I \mathbf{E}_I$, 即

$$Q_I = \varepsilon_I \oint_S \mathbf{E}_I|_{x=0} d\mathbf{S} = -\varepsilon_I \int_{t_{ox}}^{t_{ox}+t_g} E_{Ix} dy. \quad (23)$$

方程 (22) 代入 (23) 式可得到

$$Q_I = \varepsilon_I \sum_{n=1}^{\infty} B_n (2n-1) \int_{t_{ox}}^{t_{ox}+t_g} \frac{\pi}{2t_{og}} \sin \frac{(2n-1)\pi y}{2t_{og}} dy = \varepsilon_I \sum_{n=1}^{\infty} B_n \cos \frac{(2n-1)\pi}{2\left(1+\frac{t_g}{t_{ox}}\right)}. \quad (24)$$

同理可得到

$$\left. \frac{\partial \phi_{II}}{\partial y} \right|_{y=t_{ox}} = \frac{V_{GS} - \phi_s}{t_{ox}} + \sum_{m=1}^{\infty} A_m \frac{m\pi}{t_{ox}} (-1)^m \frac{\cosh \frac{m\pi(L-x)}{t_{ox}}}{\cosh \frac{m\pi L}{t_{ox}}}. \quad (25)$$

根据高斯定律有如下方程

$$\begin{aligned} Q_{II} &= \varepsilon_r \oint_S \mathbf{E}_{II} d\mathbf{S} = -\varepsilon_r \int_0^L \mathbf{E}_{II}|_{y=t_{ox}} dx \\ &= \varepsilon_r \int_0^L \left[\frac{V_{GS} - \phi_s}{t_{ox}} + \sum_{m=1}^{\infty} A_m \frac{m\pi}{t_{ox}} (-1)^m \frac{\cosh \frac{m\pi(L-x)}{t_{ox}}}{\cosh \frac{m\pi L}{t_{ox}}} \right] dx \\ &= C_{ox}(V_{GS} - \phi_s) + \sum_{m=1}^{\infty} \varepsilon_r (-1)^m A_m \tanh \frac{m\pi L}{t_{ox}}, \end{aligned} \quad (26)$$

其中 $C_{ox} = \frac{\varepsilon_r}{t_{ox}} L$ 是 MOSFET 的栅氧化层电容.

对 I 区和 II 区电荷 Q_I 和 Q_{II} 求导可以求出电容. 因此栅侧壁电容和栅极底部电容是

$$C_{tgss} = \frac{\partial Q_I}{\partial (V_{GS} - V_{SS})} = \varepsilon_I \sum_{n=1}^{\infty} \cos \frac{(2n-1)\pi}{2\left(1+\frac{t_g}{t_{ox}}\right)} \cdot \frac{\partial B_n}{\partial (V_{GS} - V_{SS})}, \quad (27)$$

$$C_{gss} = \frac{\partial Q_{II}}{\partial (V_{GS} - V_{SS})} = \varepsilon_r \sum_{m=1}^{\infty} (-1)^m \tanh \frac{m\pi L}{t_{ox}} \frac{\partial A_m}{\partial (V_{GS} - V_{SS})}. \quad (28)$$

式 (27) 的未知系数 $\frac{\partial B_n}{\partial(V_{GS}-V_{SS})}$ 可由式 (15) 求出, 为

$$\begin{aligned} & \frac{\varepsilon_I}{\varepsilon_r} \coth \frac{(2n-1)\pi L_s}{2t_{og}} \sum_{k=1}^{\infty} \frac{\partial B_k}{\partial(V_{GS}-V_{SS})} \left\{ \sum_{m=1}^{\infty} \frac{(2k-1)}{2m} \coth \frac{m\pi L}{t_{ox}} \theta_{mn} \theta_{mk} \right\} \\ & - \frac{\partial B_n}{\partial(V_{GS}-V_{SS})} = \frac{4}{(2n-1)\pi} \coth \frac{(2n-1)\pi L_s}{2t_{og}}, \quad n=1, 2, 3, \dots, \end{aligned} \quad (29)$$

式 (28) 的未知系数 $\frac{\partial A_m}{\partial(V_{GS}-V_{SS})}$ 可由式 (19) 求出, 为

$$\frac{\partial A_m}{\partial(V_{GS}-V_{SS})} = -\frac{\varepsilon_I}{\varepsilon_r} \sum_{n=1}^{\infty} \frac{(2n-1)}{2m} \coth \frac{m\pi L}{t_{ox}} \theta_{mn} \frac{\partial B_n}{\partial(V_{GS}-V_{SS})}. \quad (30)$$

C_{gss} 由式 (29)、式 (30)、式 (28) 解出, C_{tgss} 可由式 (29)、式 (27) 解出. 式 (29) 是一个线性代数方程组, 可以用编程计算, 求出 $\frac{\partial B_n}{\partial(V_{GS}-\phi_s)}$, 将其代入到式 (30), 可以得到 $\frac{\partial A_m}{\partial(V_{GS}-V_{SS})}$. 这些结果带入式 (27) 和式 (28) 即可计算出 C_{tgss} 和 C_{gss} . 注意, 由于 MOSFET 是对称的, 因此漏电极与栅极之间的寄生电容也是 C_{tgss} 和 C_{gss} .

5.2 栅电极和沟道之间的栅氧化层本征电容

栅电极与沟道之间的电容为

$$C_{tgvs} = \frac{\partial Q_I}{\partial(V_{GS}-\phi_s)} = \varepsilon_I \sum_{n=1}^{\infty} \cos \frac{(2n-1)\pi}{2\left(1+\frac{t_g}{t_{ox}}\right)} \cdot \frac{\partial B_n}{\partial(V_{GS}-\phi_s)}, \quad (31)$$

$$C_{gvs} = \frac{\partial Q_{II}}{\partial(V_{GS}-\phi_s)} = C_{ox} + \varepsilon_r \sum_{m=1}^{\infty} (-1)^m \tanh \frac{m\pi L}{t_{ox}} \frac{\partial A_m}{\partial(V_{GS}-\phi_s)}. \quad (32)$$

式 (32) 中的 $C_{ox} = \frac{\varepsilon_r}{t_{ox}} L$, 不是单位氧化层电容. 定义金属栅与沟道之间的氧化层电容为 MOSFET 的氧化层本征电容, 这里的氧化层本征电容不同于通常所提到的氧化层电容, 它包含了金属的厚度对于沟道产生的影响. 根据图 3 可知氧化层本征电容为

$$C_{self} = 2C_{tgvs} + C_{gvs}. \quad (33)$$

式 (31) 和式 (32) 的未知系数可以根据 (19) 式和 (20) 式求出, 为

$$\begin{aligned} & -\frac{\varepsilon_I}{\varepsilon_r} \coth \frac{(2n-1)\pi L_s}{2t_{og}} \sum_{k=1}^{\infty} \frac{\partial B_k}{\partial(V_{GS}-\phi_s)} \left\{ \sum_{m=1}^{\infty} \frac{(2k-1)}{2m} \coth \frac{m\pi L}{t_{ox}} \theta_{mn} \theta_{mk} \right\} + \frac{\partial B_n}{\partial(V_{GS}-\phi_s)} \\ & = \frac{4}{(2n-1)\pi} \left[1 - 2 \left(1 + \frac{t_g}{t_{ox}} \right) \frac{\sin \frac{(2n-1)\pi t_{ox}}{2t_{og}}}{(2n-1)\pi} \right] \coth \frac{(2n-1)\pi L_s}{2t_{og}}. \end{aligned} \quad (34)$$

$$\frac{\partial A_m}{\partial(V_{GS}-\phi_s)} = -\frac{\varepsilon_I}{\varepsilon_r} \sum_{n=1}^{\infty} \frac{(2n-1)}{2m} \theta_{mn} \frac{\partial B_n}{\partial(V_{GS}-\phi_s)} \coth \frac{m\pi L}{t_{ox}}. \quad (35)$$

式 (34) 也是一个线性代数方程组, 可以编程计算求出 $\frac{\partial B_n}{\partial(V_{GS}-\phi_s)}$, 将其累加可以得到 $\frac{\partial A_m}{\partial(V_{GS}-V_{SS})}$. 这些结果带入式 (31) 和式 (32) 即可计算出 C_{tgvs} 和 C_{gvs} .

图 5 (a) 数值模拟电势图 (b) 本文电势图

Figure 5 (a) Potential diagram of numerical solution; (b) potential diagram of our model

6 模型验证

6.1 电势模型的验证

图 5(a) 是用 MATLAB 里提供的数值计算工具, 对器件做的数值模拟电势图. 图 5(b) 是用 MATLAB 对式 (8) 和 (11) 直接编程计算结果. 在计算中取 $V_{GS} = 1.0$ V, $V_{SS} = 0.8$ V, $j_s = 0.8$ V, 系数 A_n , B_n 的计算表达式中取 200 项, 横坐标是归一化的尺寸, 纵坐标是归一化的等势线, 由图可知, 本文计算得到的 I 区和 II 区的电势分布与数值模拟的基本是一致的, 由此验证了电势模型的正确性.

6.2 栅极和源极之间的寄生电容

MOSFET 的寄生电容和氧化层电容在实际器件中无法分开制作, 所以实验上无法提取这些寄生电容. 这里用能够直接仿真电容数值的 CST(computer simulation technology) 仿真器来仿真寄生电容数值, 与本文的模型计算值进行比较. 由于 C_{gss} 与 C_{tgss} 在 CST 仿真器中也无法分开模拟, 为了对比模型结果的正确性, 用模型的栅极和源极之间总寄生电容 $C_{gss} + C_{tgss}$ 计算值与 CST 的仿真值进行对比.

6.2 和 6.3 小节计算所用的 MOSFET 栅宽都是 1 cm, 所以 $C_{gss} + C_{tgss}$ 的单位是 PF/cm. 分两种情况进行验证: 第一种情况是栅氧化层与栅源/漏掩蔽层 (区域 I) 的介电常数是相同的普通 MOSFET; 第二种情况是栅氧化层与栅源/漏掩蔽层 (区域 I) 的介电常数不同的高 k 栅介质 MOSFET.

第一种情况: $\varepsilon_r = \varepsilon_I = 3.9 \times 8.854 \times 10^{-12}$ F/m, 这是普通 MOSFET 的情况. 图 6, 7, 8 和图 9 分别给出了总寄生电容 $C_{gss} + C_{tgss}$ 随源区长度、栅极厚度、栅氧化层厚度、栅极长度的变化而变化的曲线, 以及和 CST 仿真结果的比较.

图 6 是总寄生电容与源区长度的关系, 图中可见本文的模型和 CST 结果吻合度较高, 平均误差为 3.22%. 从图 3 可知, L_S 既是寄生电容的极板面积又是寄生电容极板的间距. L_S 增加, 极板面积增加, 会引起电容增加, 但电容同时又会随着电容极板距离的增加而减小. 从图 6 中可以看到 L_S 较小时, 电容随源区长度的增加而急剧减少, 减小的趋势有点类似于平行板电容与极板间距成反比关系, 这表明 L_S 的极板间距作用大于极板面积的作用. 但是在 L_S 很大时, 寄生电容并不趋近于零, 这说明

图 6 总寄生电容随源区长度的变化

Figure 6 Dependence of parasitic capacitance on the length of the source region

图 7 总寄生电容随栅电极厚度的变化

Figure 7 Dependence of parasitic capacitance on gate electrode thickness

表 1 总寄生电容 $C_{gss} + C_{tgss}$ 与栅氧化层厚度 t_{ox} 关系的模型值与 CST 结果对比

Table 1 Comparison between the model and CST results for the $C_{gss} + C_{tgss}$ on gate oxide thickness t_{ox}

t_{ox} (nm)	1.0	1.5	2.0	2.5	3.0	3.5	4.0	4.5	5.0
The model results (PF/cm)	1.438	1.358	1.295	1.260	1.228	1.198	1.175	1.155	1.135
Simulation results (PF/cm)	1.478	1.345	1.270	1.223	1.188	1.165	1.143	1.123	1.105

图 8 总寄生电容随栅氧化层厚度的变化

Figure 8 Dependence of parasitic capacitance on gate oxide thickness

L_S 很大时, 寄生电容极板面积增大引起的寄生电容增加与极板间距增加引起的寄生电容减小相抵消, 寄生电容为一个常数.

图 7 是总寄生电容随栅极厚度的变化模拟数值和模型计算值对比, 平均误差为 3.73%. 由图 7 可以看到电容随栅电极板厚度增加而线性增加. 其原因是栅电极板厚度相当于 C_{tgss} 的面积, 栅电极板越高, C_{tgss} 就越大, 因此寄生电容就越大.

表 1 是总寄生电容与栅氧化层厚度 t_{ox} 的关系对比值. 图 8 是根据表 1 绘制的曲线对比. 由图 8 可看出本文的模型和 CST 结果吻合度较高, 栅极厚度最小时误差较大. 从图 8 可以看到随着栅氧化

表 2 总寄生电容 $C_{gss} + C_{tgss}$ 与沟道长度 L 的关系的模型值与 CST 结果对比Table 2 Comparison of the model and CST results for the $C_{gss} + C_{tgss}$ on length of gate L

Channel length L (nm)	10	30	50	70	100
The model results (PF/cm)	1.320	1.320	1.320	1.320	1.320
Simulation results (PF/cm)	1.378	1.360	1.375	1.378	1.393

图 9 总寄生电容随栅极长度的变化

Figure 9 Dependence of parasitic capacitance on length of gate

图 10 总寄生电容随源区长度的变化

Figure 10 Dependence of parasitic capacitance on the length of the source region

图 11 总寄生电容随栅电极厚度的变化

Figure 11 Dependence of parasitic capacitance on the thickness of the gate

层增大, 寄生电容减小. 从平行板电容原理可以知道, 极板间距越小电容就越大, 所以栅氧化层的厚度 t_{ox} 相当于寄生电容 C_{gss} 的两个极板之间的间距, 随着 t_{ox} 减小 C_{gss} 增加, 总寄生电容 $C_{gss} + C_{tgss}$ 也随之而增加.

表 2 是总寄生电容与沟道长度 L 的关系. 图 9 是根据表 2 绘制的曲线对比, 从图可见, 模型计算的电容保持在一条直线上, 这表示栅极长度即 MOSFET 的沟道长度对寄生电容没有影响. 这个现象说明在普通 MOSFET 中, C_{gss} 是一边缘电容, 它来源于栅电极底部对于源电极 (漏电极) 产生的边缘效应, 所以沟道长度变化时, 寄生电容的值不变.

第二种情况: 高 k 栅 MOSFET 的情况. 图 10 和图 11 的区域 I 介电常数为 $\epsilon_I = 3.9 \times 8.854 \times 10^{-12}$

图 12 总寄生电容随栅极氧化层的介电常数的变化, 其中横坐标的介电常数是相对介电常数

Figure 12 Dependence of parasitic capacitance on the gate dielectric permittivity. The gate dielectric permittivity is a relative permittivity in the figure

表 3 图 12(a) 的 $C_{gss} + C_{tgss}$ 的模型值与 CST 结果对比

Table 3 Comparison between the model and CST results for Figure 12(a)

Dielectric constant ε_r	4	7	11	15	39	58	79	117	175
The model results (PF/cm)	1.295	1.188	1.108	1.083	1.008	1.025	1.060	1.148	1.293
Simulation results (PF/cm)	1.270	1.135	1.070	1.035	0.968	0.983	1.003	1.063	1.213

F/m, 区域 II 的介电常数为 $\varepsilon_r = 39 \times 8.854 \times 10^{-12}$ F/m. 图 10, 11 和 12 分别给出了总寄生电容随源区长度、栅电极厚度和介电常数变化的曲线, 以及与 CST 仿真结果的比较.

高介电常数栅极绝缘层用于亚 100 nm 的 MOS 晶体管. 但是, 高 k 栅介质的晶体管栅电极的物理厚度更大, 用 EOT 表示栅介质层的厚度 [2], 则有 $EOT = t_{high-k} \times \frac{\varepsilon_{SiO_2}}{\varepsilon_{high-k}}$, 其中 t_{high-k} 是有效的二氧化硅的厚度, ε_{SiO_2} 等于 ε_1 , ε_{high-k} 等于 ε_r .

图 10 是高 k 栅 MOSFET 的总寄生电容与源/漏长度关系. 从图可见, 本文的模型与仿真结果相符, 平均误差为 4.65%. 另外, 与图 6 相比, 电容变化的总体趋势保持不变, 即随着隔离层厚度 L_S 的减小, 电容急剧增加.

图 11 是总寄生电容与栅电极厚度的关系, 从图可以看出本文的模型与仿真结果相符, 图中模拟数值和模型计算值平均误差为 5.90%. 另外, 与图 7 相比, 电容变化的总体趋势保持不变, 即电容随栅极厚度增加而线性增加.

图 12 给出了总寄生电容随栅极氧化层介电常数变化的模拟数值和模型计算值的对比. 表 3 和表 4 分别是两个图的模型值与 CST 计算值的数值对比. 对比图 12(a) 与图 12(b) 可见, 总寄生电容 $C_{gss} + C_{tgss}$ 与结构参数有关, 但是总的趋势是随着 ε_r 的增长, 电容先减少后增加, 有一个最小值. 图 12(b) 的电容变化趋势最小值不明显的原因是 ε_r 取值不够大. 从两个图可见, 我们可以选取一个适当 ε_r 的来获得最小的栅源寄生电容. 这个结果还未见文献报道过.

上述的模型计算值与仿真值有一定的误差, 其原因是模型求解用的是 Fourier 级数方法, Fourier 级数的收敛值是平均收敛值, 可能在个别点收敛性不如 CST 的一致收敛结果那么平滑, 但是, 整体的平均收敛性应当和 CST 的结果相吻合. 表 5 是上述各图的平均收敛性比较. 从表 5 中可见, 整体计算的最大平均误差不超过 6.35%.

表 4 图 12 (b) 的 $C_{gss} + C_{tgss}$ 的模型值与 CST 结果对比

Table 4 Comparison between the model and CST results for Figure 12(b)

Dielectric constant ε_r	4	7	11	15	39	58	79	117	175
The model results (PF/cm)	1.040	0.920	0.828	0.790	0.650	0.613	0.600	0.600	0.628
Simulation results (PF/cm)	0.958	0.845	0.755	0.718	0.610	0.573	0.563	0.570	0.595

表 5 图 6 至图 12 的平均误差比较

Table 5 Comparison between the average error from Figure 6 to Figure 12

Figure name	Figure 6	Figure 7	Figure 8	Figure 9	Figure 10	Figure 11	Figure 12(a)	Figure 12(b)
Average error(%)	3.22	3.73	2.54	4.06	4.65	5.90	6.02	6.35

图 13 (a) $\varepsilon_r = 3.9 \times 8.854 \times 10^{-12}$ F/m 的 MOSFET 的栅氧化层本征电容和栅极长度之间的关系; (b) $\varepsilon_r = 39 \times 8.854 \times 10^{-12}$ F/m 的 MOSFET 的栅氧化层本征电容和栅极长度之间的关系

Figure 13 (a) The relationship between the intrinsic capacitance of the gate oxide layer and the gate length with $\varepsilon_r = 3.9 \times 8.854 \times 10^{-12}$ F/m; (b) the relationship between the intrinsic capacitance of the gate oxide layer and the gate length with $\varepsilon_r = 39 \times 8.854 \times 10^{-12}$ F/m

6.3 栅氧化层本征电容 C_{self}

栅氧化层本征电容主要和栅极长度有关, 因此这里只讨论栅极长度和栅氧化层本征电容之间的关系, 计算公式见式 (33). 图 13(a) 给出了普通 MOSFET 的栅氧化层电容和栅极长度之间的变化关系, 可以看出本文的模型与仿真结果相符, 栅氧化层本征电容随栅极的长度的增加而线性增加. 图 13(b) 给出了在高 k 栅情况下栅氧化层本征电容和栅极长度之间的变化关系, 栅氧化层本征电容也随着栅极的长度的增加而线性增加. 从图中可见, 普通 MOSFET 和高 k 栅 MOSFET 的 C_{self} 都与沟道长度成线性关系, 与金属电极高度为零的栅氧化层电容计算公式 $C_{ox} = \frac{\varepsilon_r}{t_{ox}} L$ 给出的趋势相符合, 这说明氧化层电容不受金属栅厚度的影响, 并且氧化层的边缘效应电容很小可以忽略. 对于普通 MOSFET, 文献 [8] 也给出了类似的结果, 而图 13(b) 表明, 对于高 k 栅 MOSFET 结论是相同的.

7 结论

本文建立了 MOSFET 的寄生电容和氧化层电容的半解析模型, 这个模型表达了电容与几何尺寸、

介电常数等多个参数之间的关系. 通过这个模型, 我们可以求出栅极和源极/漏极之间最小的寄生电容. 该模型无需任何经验匹配因子即可和仿真结果相匹配, 有较高的计算精度, 可以直接用于电路的模拟程序.

参考文献

- 1 Huang L, Huang A P, Zheng X H, et al. Application of high-k dielectrics in novel semiconductor devices. *Acta Phys Sin*, 2012, 61: 1–8 [黄力, 黄安平, 郑晓虎, 等. 高 k 介质在新型半导体器件中的应用. *物理学报*, 2012, 61: 1–8]
- 2 Wong Ban P, Mittal Anurag, Cao Y, et al. *Nano-CMOS Circuit and Physical Design*. Beijing: China Machine Press, 2011. 43–48
- 3 Elmasry M I. Capacitance calculations in MOSFET VLSI. *IEEE Electr Device L*, 1982, 3: 6–7
- 4 Cetner A, Iniewski K, Jakubowski A. A simple formula for two-dimensional capacitance. *Solid-State Electron*, 1988, 31: 973–974
- 5 Shrivastava R, Fitzpatrick K. A simple model for the overlap capacitance of a VLSI MOS device. *IEEE Trans Electron Dev*, 1982, 29: 1870–1875
- 6 El Kamchouchi H, Zaky A A. A direct method for the edge capacitance of thick electrodes. *J Phys D Appl Phys*, 1975, 8: 1365–1371
- 7 Greeneich E W. An analytical model for the gate capacitance of small geometry MOS structures. *IEEE Trans Electron Dev*, 1983, 30: 1838–1839
- 8 Suzuki K. Parasitic capacitance of submicrometer MOSFET's. *IEEE Trans Electron Dev*, 1999, 46: 1895–1900
- 9 Kumar M J, Venkataraman V, Gupta S K. On the gate capacitance of small geometry MOSFET's. *IEEE Trans Electron Dev*, 2005, 52: 1676–1677
- 10 Liu X, Jin X S, Lee J H. A compact model of fringing field induced parasitic capacitance for deep sub-micrometer MOSFETs. *Solid-State Electron*, 2009, 53: 1041–1045
- 11 Liu X, Jin X S, Lee J H, et al. A full analytical model of fringing-field-induced parasitic capacitance for nano-scaled MOSFETs. *Semicond Sci Tech*, 2010, 25: 015008
- 12 Mohapatra N R, Desai M P, Narendra S G, et al. Modeling of parasitic capacitances in deep submicrometer conventional and high-K dielectric MOS transistors. *IEEE Trans Electron Dev*, 2003, 50: 959–966
- 13 Baishya S, Mallik A, Sarkar C K. A subthreshold surface potential model for short-channel MOSFET taking into account the varying depth of channel depletion layer due to source and drain junctions. *IEEE Trans Electron Dev*, 2006, 53: 507–509

A modeling of parasitic capacitances between gate and the source/drain for a high-k dielectric gate MOSFET

FAN Jin¹, KE DaoMing^{1*}, XUE Feng² & CHEN JunNing¹

1 *School of Electronics and Information Engineering, Anhui University, Hefei 236061, China;*

2 *Department of Information and Communication, Anhui SanLian University, Hefei 230601, China*

*E-mail: kedaoming@sohu.com

Abstract This paper proposes a two-dimensional boundary value problem for a high-k gate dielectric MOSFET and its sidewall spacer oxide. We have calculated the two-dimensional electrical potential distribution and charge distribution. A model of parasitic capacitance between the gate and the source/drain for a MOSFET has been given. In this paper, we also analyze the relationship between these parasitic capacitances and geometry dimension

parameters with a semi-analytical method. The results show that there is a smallest parasitic capacitance by changing the magnitude of gate dielectric constant. The accuracy of the method is tested by comparing the modeled results with CST (computer simulation technology) simulation results. Satisfactory agreement is observed between calculation results of the model and the prediction made by CST.

Keywords high-k gate dielectric MOSFET, Laplace equation, Gauss's law, parasitic capacitance between the gate and the source/drain, semi-analytical method

FAN Jin was born in 1976. He received the M.S. degree in circuit and system from Anhui University, Hefei, in 2006. Currently, he is an associate professor of engineering at Anhui University. His research interests include micronanoelectronic device modeling and electronic circuits.

KE DaoMing was born in 1954. He received the Ph.D. degree in semiconductor physics and devices from Southeast University, Nanjing, in 1992. Currently, he is a professor at Anhui University. His research interests include modeling and simulation of semiconductor devices and semiconductor power device physics.