

DOI: 10.19816/j.cnki.10-1594/tn.2023.04.006

超低功耗 CMOS 电压基准源技术研究进展*

李思臻, 余凯, 罗子安, 苏钊贤
(广东工业大学集成电路学院 广州 510006)

摘要: 当前, 随着物联网微型设备的发展, 电压基准源作为电子设备中集成电路的基本模块, 需要在非常有限的电源电压和功率下工作。此外, 电压基准源还需要在工艺、电源电压、温度变化时能够提供稳定的输出电压。相比于使用双极型晶体管和大电阻的低功耗带隙电压基准源, CMOS 电压基准源仅使用少数 MOS 器件, 可以工作在更低的电源电压, 具有更小的面积, 并且其功耗可降至皮瓦级别。本文旨在全面回顾和探讨当前主流的超低功耗 CMOS 电压基准源技术。首先介绍其基本结构, 针对超低功耗应用重点介绍自偏置和泄漏偏置结构, 分析其工作原理及性能差异。然后, 围绕基准电压的工艺偏差, 线性灵敏度和温度特性, 总结了目前已有的超低功耗 CMOS 电压基准源技术优化方案。最后, 探讨了超低功耗 CMOS 电压基准源技术面临的挑战。

关键词: CMOS 电压基准源; 自偏置; 泄漏偏置; 工艺偏差; 线性灵敏度; 温度特性

中图分类号: TN311 **文献标识码:** A **国家标准学科分类代码:** 510

Research progress of techniques on ultra-low-power CMOS voltage references

LI Sizhen, YU Kai, LUO Zian, SU Zhaoxian

(School of Integrated Circuits, Guangdong University of Technology, Guangzhou 510006, China)

Abstract: Currently, with the development of micro-devices in the internet of things, voltage reference, as the basic module of integrated circuits in electronic devices, needs to operate at very limited supply voltage and power. In addition, voltage reference also needs to be able to provide a stable output voltage against the variations of process, supply voltage, and temperature. Compared to low-power bandgap voltage reference using bipolar junction transistors and large resistors, CMOS voltage reference using only a few MOS devices can operate at a lower supply voltage, consume a smaller area, and reduce their power consumption to the picowatt level. This paper aims to review and discuss the current mainstream techniques of ultra-low-power CMOS voltage reference. Firstly, the basic structure of CMOS voltage reference is introduced. For the self-biased and leakage-biased structures in the ultra-low-power applications, the working principles and performance differences are analyzed. Then, focusing on the process deviations, line sensitivity and temperature characteristics of the reference voltage, the existing optimization schemes of techniques on ultra-low-power CMOS voltage reference are summarized. Finally, the challenges of technologies about ultra-low-power CMOS voltage reference are discussed.

Keywords: CMOS voltage reference; self-biased; leakage-biased; process deviation; line sensitivity; temperature characteristic

* 基金项目: 国家自然科学基金(61804033)项目资助

李思臻, 副教授, 主要研究方向为模拟集成电路设计。E-mail: lisizhen@gdut.edu.cn

余凯 (通信作者), 副教授, 主要研究方向为模拟集成电路设计。E-mail: k.yu@gdut.edu.cn

罗子安, 硕士, 主要研究方向为模拟集成电路设计。E-mail: 17725617616@163.com

苏钊贤, 硕士, 主要研究方向为模拟集成电路设计。E-mail: 1339264589@qq.com

0 引言

随着物联网 (internet of things, IoT) 微型设备的广泛应用, 其续航问题成为制约其发展的瓶颈, 因此对低功耗电路的需求迅速增加。待机模式下, 电压基准源 (voltage reference, VR) 通常是保持工作的, 需要将其功率损耗降到纳瓦或皮瓦数量级, 从而在有限的能源下降低待机功耗并延长续航时间。带隙电压基准源 (bandgap reference, BGR) 是最传统和最经典的 VR 类型^[1-5], 然而由于双极型晶体管 (bipolar junction transistor, BJT)、大电阻、放大器的使用, 限制了 VR 的电源电压、面积、功耗的进一步降低。相比之下, CMOS 电压基准源 (complementary metal oxide semiconductor voltage reference, CVR) 在实现低功耗方面具有显著优势, 其功耗可以降到纳瓦级或皮瓦级^[6]。

本文探讨的 CVR 仅仅使用少数金属氧化物半导体 (metal oxide semiconductor, MOS) 器件, 不使用 BJT 和电阻, 并且 MOS 器件偏置在亚阈值区。本文介绍了 CVR 的基本结构、性能优缺点。讨论了超低功耗 CVR 的性能提升技术及发展趋势。

1 典型结构和特点

CVR 与传统的 BGR 不同, 与绝对温度成正比 (proportional to absolute temperature, PTAT) 的电压和与绝对温度成反比 (complementary to absolute temperature, CTAT) 的电压均由 MOS 晶体管产生。因此, 产生的电压基准 (V_{REF}) 与带隙电压无关, 主要决定于电路中使用的 MOS 晶体管的阈值电压 (V_{TH}) 及其差值 (ΔV_{TH})。通过将偏置电流注入二极管连接的 MOS 晶体管, 可以将电流转换成电压。将这种电流-电压转换结合温度补偿^[7], 就能够以极低的功耗产生所需的 V_{REF} 。根据偏置电流产生电路的不同类型可将 CVR 分为 3 类: 非自偏置 (non-self-biased) 结构、自偏置 (self-biased) 结构和泄漏偏置 (leakage-biased) 结构。

1.1 非自偏置结构

非自偏置结构 CVR 中, 电路不依赖于其自身的 V_{REF} 来产生偏置电流, 而是使用其他电流源来提供必要的偏置电流, 使得 CVR 能够正常工作。

Magnelli 等^[8]在 2011 年提出了一种非自偏置的 CVR, 如图 1 所示。晶体管 $M_1 \sim M_5$ 构成电流源电路产

生电流 I_R , 并且通过电流镜 $M_5 \sim M_6$ 产生偏置电流 I_B 注入二极管连接的负载管 M_7 。 $M_1 \sim M_7$ 均工作在亚阈值区, V_{REF} 可以通过高阈值晶体管阈值电压 (V_{TH2}) 和低阈值晶体管阈值电压 (V_{TH1} 或 V_{TH3}) 的差来近似。由于 M_7 工作在亚阈值区, 该电路可以获得小于阈值电压的 V_{REF} , 并且进一步降低电源电压和功耗。该电路允许的最小功耗为 2.6 nW, 比其他文献提出的解决方案降低了约 1 个数量级。此外, 该电路设计中还增加了启动电路以确保偏置电流能正常建立。

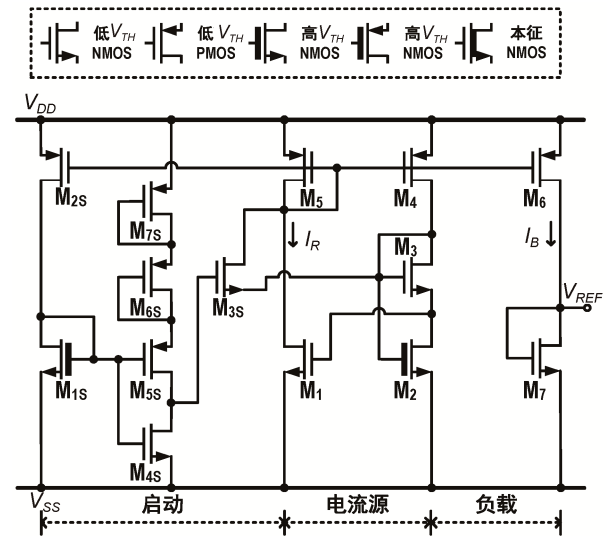


图 1 非自偏置 CVR

Fig.1 Non-self-biased CVR

由于非自偏置结构需要利用额外的电流产生电路提供偏置电流^[9-10], 这可能导致一定的功耗增加, 同时也一定程度上增加了电路的复杂性。

1.2 自偏置结构

为了进一步降低功耗, 自偏置结构的 CVR 利用 V_{REF} 产生并维持所需的偏置电流^[11], 无需外部提供, 其功耗可以降低到皮瓦级水平^[12]。

2017 年, De Oliveira 等^[13]采用自共源共栅结构 (self-cascode metal-oxide-semiconductor field-effect transistor, SCM) 设计并实现了两个自偏置 CVR 电路, 分别被称为自偏置共源共栅 (self-biased SCM, SBSCM) 和自偏置 NMOS (self-biased N-metal-oxide-semiconductor, SBNMOS) CVR。图 2 所示为其电路图, 其中高阈值的 MOS 晶体管 M_2 和低阈值的 MOS 晶体管 M_3 组成 SCM, 偏置电流 I_B 由参考电流 I_R 镜像得到, 并且流经 SCM 产生 V_{REF1} 和 V_{REF2} 。反过来, CVR 通过 M_1 确定参考电流 I_R , 并采用共源共栅结构屏蔽电源电压变化的影响。

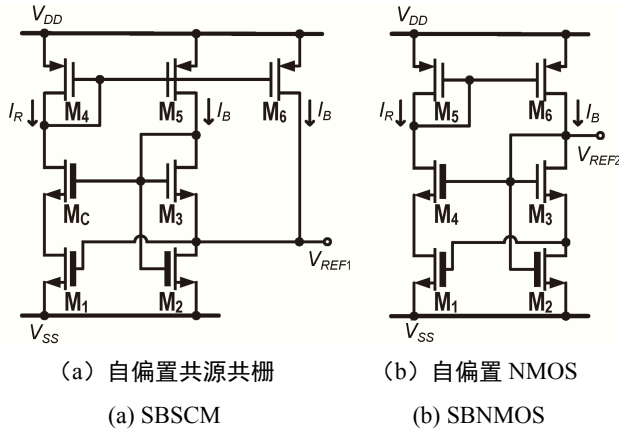


图2 自偏置 CVR
Fig.2 Self-biased CVR

室温下基于 SBSCM 和 SBNMOS 的 CVR 最低功耗分别为 55 pW 和 184 pW。该结构通过将亚阈值工作与自偏置方案相结合,显著降低了功耗和硅面积。

1.3 泄漏偏置结构

泄漏偏置结构的 CVR 通过本征 MOS 管或标准 MOS 管的泄漏电流偏置 CVR 的核心电路从而产生 V_{REF} , 功耗可以进一步降低。

2012 年, Seok 等^[14]提出了一种 2 管 (2 transistors, 2T) 结构的 CVR, 如图 3 所示。本征管 M_1 的阈值电压近似为 0, 且栅级接地, 其漏电流流经 M_2 。 M_2 为标准阈值的 NMOS 管。该电路通过 M_1 管和 M_2 管的阈值电压差来实现 V_{REF} 输出。室温下, 最小功耗仅为 2.2 pW。基于该结构, M_1 和 M_2 可以有多种配置形式, 通过选择阈值电压低于 M_2 的 M_1 并适当调整其大小以实现温度补偿^[15-16]。该结构具有极低的功耗。

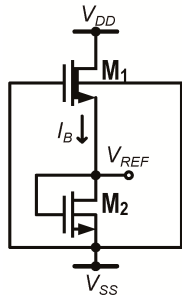


图3 泄漏偏置 2T CVR
Fig.3 Leakage-biased 2T CVR

除了低功耗的要求, CVR 还需要在工艺、电源电压、温度 (process-voltage-temperature, PVT) 变化时能够提供稳定的输出电压^[17]。由于自偏置和泄漏偏置的 CVR 结构可以产生低至皮瓦级的功耗^[18-19], 下面主要围绕这两种结构讨论 CVR 的性能提升技术。

2 性能优化技术

2.1 工艺偏差降低

CVR 基于 MOS 管的阈值电压产生 V_{REF} , 由于阈值电压随工艺变化, V_{REF} 不可避免地会随着工艺变化而出现较大偏差。特别地, 在采用本征晶体管的 2T 结构中, 由于本征晶体管需要用到不同的制程工艺, V_{REF} 更容易受到工艺变化的影响^[20]。为了降低工艺变化对 V_{REF} 产生偏差, Dong 等^[21]通过消除器件的阈值电压与 V_{REF} 的联系来减小工艺变化影响, 如图 4 所示。该电路中 M_1 和 M_2 均使用 PMOS (positive MOS) 管, 并且利用 M_1 的衬底偏置电压 V_{BODY} 控制 M_1 的阈值电压, 产生 V_{REF} , 如式 (1) 所示。

$$V_{REF} = \gamma \left(\sqrt{2\phi_B - mV_T \ln \frac{W_4 L_3}{W_3 L_4}} - \sqrt{2\phi_B} \right) + mV_T \ln \frac{W_1 L_2}{W_2 L_1} \quad (1)$$

式中: γ 为体效应系数, ϕ_B 为费米势, m 为亚阈值斜率, V_T 为热电压, W 为晶体管的栅宽, L 为晶体管的栅长。 V_{REF} 中无阈值电压参数, 避免了 V_{REF} 与 V_{TH} 直接相关, 隔离了工艺变化的影响, 从而降低了 V_{REF} 的工艺偏差。

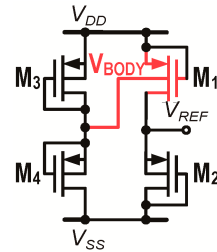


图4 全 PMOS CVR
Fig.4 PMOS-only CVR

Yu 等^[22]提出了一个具有最佳衬底选择 (optimum body selection, OBS) 的 CVR, 其中 OBS 用于工艺补偿, 如图 5 (a) 所示。通过线性拟合 MOS 晶体管的 V_{TH} 从慢速/快速工艺角到典型工艺角的变化, 借助 M_1 管的体效应降低 V_{TH} 或 ΔV_{TH} 受工艺变化的影响。基于 25 个芯片的测量结果, 所提出的设计的输出电压变化为 $0.0035 \sigma/\mu$, 同时最低功耗仅为 23 pW。

2.2 线性灵敏度降低

当电压基准源的线性灵敏度 (line sensitivity, LS) 较小时, 意味着 V_{REF} 随着电源电压的变化也会较小。针对 CVR 的 LS 性能, 已经报道的 LS 减低技术主要有预稳压技术、自调节技术和漏致势垒降低 (drain-induced barrier lowering, DIBL) 效应补偿技术。

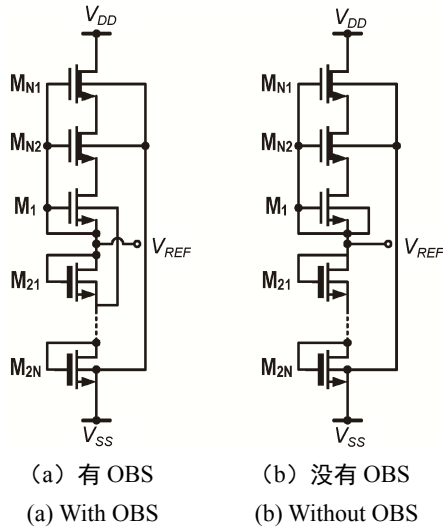


图5 全 NMOS CVR

Fig.5 NMOS-only CVR

2.2.1 预稳压技术

预稳压技术通过增加预稳压电路来获得更低的 LS。Lin 等^[23]在图 3 所示的 2T 结构上更进一步, 为了实现低 LS, 采用自偏置结构 ($M_1 \sim M_3$ 和 M_5) 作为预稳压级, 如图 6 所示。二极管连接的 M_3 使结点 A 对地具有低阻抗, 以降低 V_A 对 V_{DD} 的灵敏度, 从而减低 V_{REF} 的 LS。该电路的 LS 低至 0.015 4%/V, 然而, 预稳压电路需要消耗更多的功耗以及芯片面积。

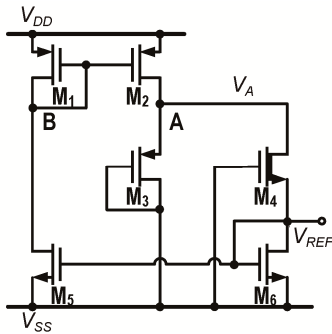


图6 具有预稳压技术的 CVR

Fig.6 CVR with pre-regulation technique

2.2.2 自调节技术

自调节技术通过引入反馈回路, 使得 CVR 能够自动调节以降低电源电压变化对 V_{REF} 的影响。Sawigun 等^[24]通过增加多个自调节回路, 利用源跟随的原理来改善泄漏偏置结构 CVR 的 LS, 如图 7 所示。它需要使用与本征 NMOS 相同类型的附加调节晶体管 ($M_{REG}=M_2 \sim M_{N+1}$)。 M_{REG} 的栅极连接到基准电压 ($V_{REF1} \sim V_{REFN}$) 而不是接地, 从而形成额外的调节回路, 多回路 CVR 可以提供更精确的可调节输出电压 V_{REF1} 。然而, 本征管的使用增加了工艺成本和 V_{REF1} 的

工艺依赖性。

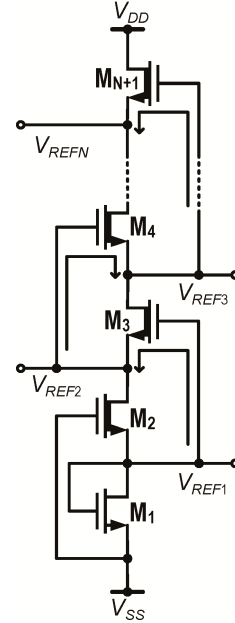


图7 具有自调节技术的 CVR

Fig.7 CVR with self-regulation technique

2.2.3 DIBL 效应补偿技术

DIBL 效应会导致亚阈值 MOS 晶体管的漏极电流 I_D 依赖于漏源电压 V_{DS} 。在自偏置或泄漏偏置 CVR 中, 偏置晶体管的 V_{DS} 随 V_{DD} 变换, 由于偏置晶体管的 DIBL 效应的影响, 偏置电流也将随 V_{DD} 变化而变化, 从而影响 V_{REF} 。

2020 年, Wang 等^[25]基于自偏置的 CVR 结构提出了一种 DIBL 效应补偿技术, 如图 8 所示。该补偿技术利用附加 PMOS 晶体管 M_{10} 的 DIBL 效应产生依赖于 V_{DD} 的电流 I_C , 抵消了 M_6 的 DIBL 效应, 获得了与 V_{DD} 无关的偏置电流 I_B 。这一设计显著改善了 LS, 采用该补偿技术的 CVR, 其 LS 仅为 0.019%/V, 同时实现了 48 pW 的超低功耗。

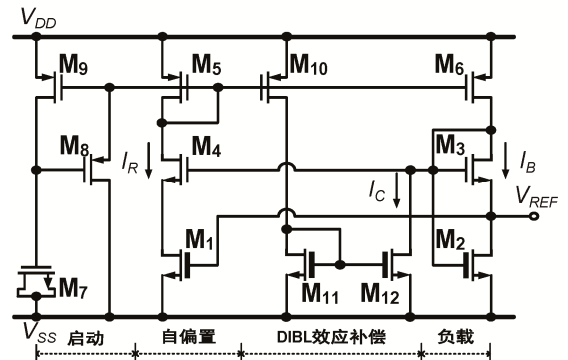


图8 具有 DIBL 效应补偿技术的 CVR

Fig.8 CVR with DIBL-effect-compensation technique

Yu 等^[26]也提出了一种具有 DIBL 效应补偿的自偏置 CVR, 如图 9 所示。为了减少由于 DIBL 效应引起的偏置电流 I_B 对电源电压 V_{DD} 的依赖性, 偏置晶体管 M_1 的栅源电压 V_{GS1} 由 V_{DD} 自适应地调节。通过这种方式, 实现了 DIBL 效应补偿, 而 I_B 几乎不受 V_{DD} 的影响。该电路的平均 LS 为 0.016%/V, 最低功耗为 521 pW。

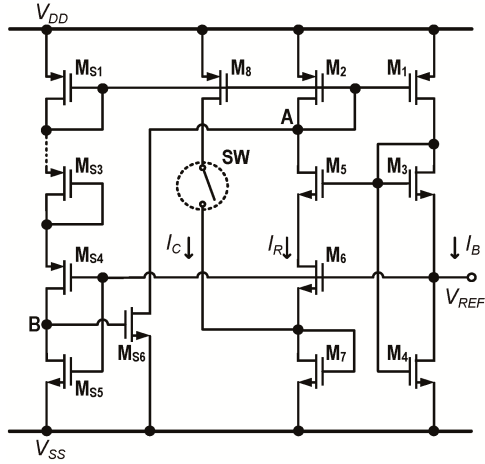


图 9 具有 DIBL 效应补偿技术的自偏置 CVR

Fig.9 Self-biased CVR with DIBL-effect-compensation technique

除了预稳压技术、自调节技术和 DIBL 效应补偿技术, 通过增大偏置管的输出阻抗也可以有效降低 LS。Yu 等^[27]提出了将 SCM 结构和共源共栅结构组合为准自共源共栅电流镜 (quasi self-cascode current mirror, QSCCM), 并通过 QSCCM 减小偏置电流 I_B 的变化。然后偏置电流 I_B 被送入有源负载, 从而获得稳定的 V_{REF} , 实现了低至 0.011%/V 的 LS, 如图 10 所示。由于支路和晶体管的增多, 制造成本和功耗均有所增大, 该电路最低功耗为 1.95 nW。

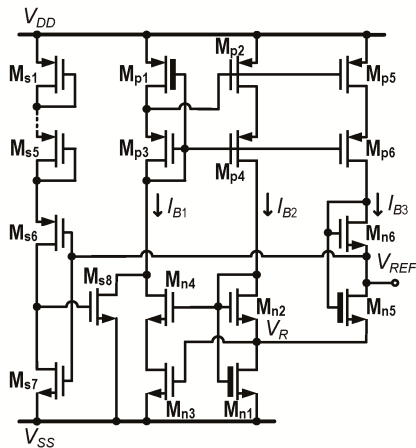


图 10 具有准自共源共栅电流镜的 CVR

Fig.10 CVR with QSCCM

2.3 温度范围提升

泄漏结构的 CVR 主要的瓶颈之一是从 N 阱到 P 衬底的寄生 PN 结的泄漏电流, 限制了 CVR 的最高工作温度。PMOS 负载管在 N 阱和 P 型衬底之间会形成寄生二极管, 同时由于二极管的反向偏置泄漏电流会随着温度的升高而升高, 相当于降低负载的电流, 从而使基准电压 V_{REF} 不断降低, 这将导致温度系数 (temperature coefficient, TC) 增大, 恶化 V_{REF} 的温度特性^[28]。针对泄漏电流这一不良因素, 有一些改善和解决技术, 比较有代表性的是, Lee 等^[29]通过插入缓冲器吸收二极管泄漏电流, 如图 11 所示, 以及 Li 等^[30]采用复制的单元解耦二极管泄漏电流, 如图 12 所示。

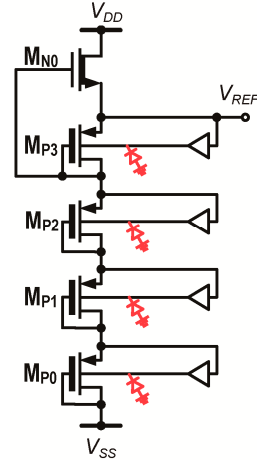


图 11 具有隔离二极管泄漏电流缓冲器的 CVR

Fig.11 CVR with buffers to isolate diode-leakage current

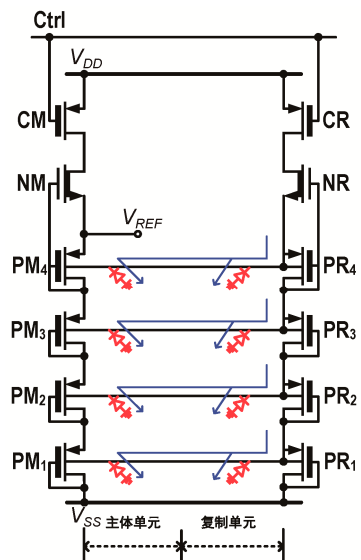


图 12 具有解耦二极管泄漏电流复制单元的 CVR

Fig.12 CVR with replica unit to decouple diode-leakage current

图 11 由主电压基准电路和体电压缓冲器组成，在每一级采用单位增益缓冲器，以使得缓冲器提供 PN 结泄漏电流。理想情况下， $M_{P0} \sim M_{P3}$ 的 V_{BS} 变为 0，同时 PN 结泄漏电流完全由缓冲器驱动。该电路可以实现 $0 \sim 170^\circ\text{C}$ 的低 TC 性能。

在图 12 中，电路由主单元和复制单元组成。为了解耦主单元中二极管泄漏电流，该电路将主体单元的 $PM_1 \sim PM_4$ 的衬底连接到复制单元的 $PR_1 \sim PR_4$ 的衬底上。在复制单元中，衬底与 MOS 管源端相连。由于主单元中 $PM_1 \sim PM_4$ 的衬底分别由复制单元 $PR_1 \sim PR_4$ 的衬底驱动，二极管泄漏电流不会直接影响主单元的输出电压 V_{REF} 。该电路在 $-20 \sim 140^\circ\text{C}$ 范围内的平均 TC 值为 $56 \times 10^{-6}/^\circ\text{C}$ ，实现了良好的温度特性。

虽然上述技术有效解决了二极管的泄漏电流引起的温度范围限制问题，但是显著的增加了功耗和芯片的面积。

3 结论

本文对近年来发表的亚阈值 CVR 进行了分析和总结，根据偏置电路的类型，将其分为 3 类：非自偏置、自偏置和泄漏偏置。相比而言，自偏置和泄漏偏置的 CVR 可以实现更低的功耗。亚阈值 CVR 虽然实现了超低功耗要求，但在工艺偏差、线性灵敏度和温度特性方面的性能表现较差，需要解决 3 个关键问题：阈值电压随工艺变化、MOS 管 DIBL 效应和寄生 PN 结泄漏电流。目前已有一些相关的性能提升技术，但通常也会带来额外的功耗和面积开销。

总而言之，超低功耗 CVR 具有结构简单和小面积的独特优势，在穿戴式设备、物联网、植入式医疗设备等低功耗系统有着巨大应用价值。在超低功耗 CVR 领域，仍需对电路结构进行研究创新，设计出 PVT 稳定性好、更低功耗的 CVR。

参考文献

- [1] WIDLAR R J. New developments in IC voltage regulators[J]. IEEE Journal of Solid-State Circuits, 1971, 6(1): 2-7.
- [2] LEE J M, JI Y, CHOI S, et al. 5.7 A 29nW bandgap reference circuit[C]//2015 IEEE International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers. 2015: 1-3.
- [3] JI Y, JEON C, SON H, et al. 5.8 A 9.3 nW all-in-one bandgap voltage and current reference circuit[C]//2017 IEEE International Solid-State Circuits Conference (ISSCC). 2017: 100-101.
- [4] LUO H, SUN Q, ZHANG R, et al. A 1-V 3.1-ppm/ $^\circ\text{C}$ 0.8- μW bandgap reference with piecewise exponential curvature compensation[C]//2018 IEEE Asian Solid-State Circuits Conference (A-SSCC). 2018: 97-98.
- [5] KIM M, CHO S. A 0.0082-mm², 192-nW single BJT branch bandgap reference in 0.18- μm CMOS[J]. IEEE Solid-State Circuits Letters, 2020, 3: 426-429.
- [6] CHUTHAM S, XIAOLIN Y, CAROLINA M L. Ultra-low-power voltage references: exploring picowatt-level design using CMOS and hybrid architectures[J]. IEEE Solid-State Circuits Magazine, 2023, 15(4): 50-57.
- [7] SEOK M, SYLVESTER D, BLAAUW D, et al. Reference voltage generator having a two transistor design: US8564275[P]. 2013-10-22.
- [8] MAGNELLI L, CRUPI F, CORSONELLO P, et al. A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference[J]. IEEE Journal of Solid-State Circuits, 2010, 46(2): 465-474.
- [9] CHEN Y, GUO J. A 42nA I_Q , 1.5-6V V_{IN} , self-regulated CMOS voltage reference with -93dB PSR at 10 Hz for energy harvesting systems[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(7): 2357-2361.
- [10] UENO K, HIROSE T, ASAI T, et al. A 300 nW, 15 ppm/ $^\circ\text{C}$, 20 ppm/V CMOS voltage reference circuit consisting of subthreshold MOSFETs[J]. IEEE Journal of Solid-State Circuits, 2009, 44(7): 2047-2054.
- [11] WANG L, ZHAN C. A 0.7-V 28-nW CMOS subthreshold voltage and current reference in one simple circuit[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(9): 3457-3466.
- [12] WANG Y, ZHANG R, SUN Q, et al. A 0.5 V, 650 pW, 0.031%/V line regulation subthreshold voltage reference[C]//ESSCIRC 2018-IEEE 44th European Solid State Circuits Conference (ESSCIRC). 2018: 82-85.
- [13] DE OLIVEIRA A C, CORDOVA D, KLIMACH H, et al. Picowatt, 0.45-0.6 V self-biased subthreshold CMOS voltage reference[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(12): 3036-3046.
- [14] SEOK M, KIM G, BLAAUW D, et al. A portable 2-transistor picowatt temperature-compensated voltage reference operating at 0.5 V[J]. IEEE Journal of Solid-State Circuits, 2012, 47(10): 2534-2545.
- [15] DE OLIVEIRA A C, CORDOVA D, KLIMACH H, et al. A 0.12-0.4 V, versatile 3-transistor CMOS voltage reference for ultra-low power systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(11): 3790-3799.
- [16] LEE I, SYLVESTER D, BLAAUW D. A subthreshold voltage reference with scalable output voltage for low-power IoT systems[J]. IEEE Journal of Solid-State Circuits, 2017, 52(5): 1443-1449.
- [17] WANG H, MERCIER P P. A 420 fW self-regulated 3T voltage reference generator achieving 0.47%/V line regulation from 0.4-to-1.2 V[C]//ESSCIRC 2017-43rd IEEE European Solid State Circuits Conference. 2017: 15-18.
- [18] ALBANO D, CRUPI F, CUCCHI F, et al. A sub- kT/q voltage reference operating at 150 mV[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2015, 23(8): 1547-1551.

- [19] QIAO H, ZHAN C, CHEN Y. A $-40\text{ }^{\circ}\text{C}$ to $140\text{ }^{\circ}\text{C}$ picowatt CMOS voltage reference with 0.25-V power supply[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(9): 3118-3122.
- [20] WANG J, SUN X, CHENG L. A picowatt CMOS voltage reference operating at 0.5-V power supply with process and temperature compensation for low-power IoT Systems[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 70(4): 1336-1340.
- [21] DONG Q, YANG K, BLAAUW D, et al. A 114-pW PMOS-only, trim-free voltage reference with 0.26% within-wafer inaccuracy for nW systems[C]//2016 IEEE Symposium on VLSI Circuits. 2016: 1-2.
- [22] YU K, ZHOU Y, LI S, et al. A 23-pW nmos-only voltage reference with optimum body selection for process compensation[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(11): 4213-4217.
- [23] LIN J, WANG L, ZHAN C, et al. A 1-nW ultra-low voltage subthreshold CMOS voltage reference with 0.0154%/V line sensitivity[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(10): 1653-1657.
- [24] SAWIGUN C, YANG X, LODI A, et al. A sub-nW scalable nMOS voltage reference with multi-loop regulation achieving 0.0126%/V line sensitivity[C]//2022 IEEE Asian Solid-State Circuits Conference (A-SSCC). 2022: 1-3.
- [25] WANG Y, SUN Q, LUO H, et al. A 48 pW, 0.34 V, 0.019%/V line sensitivity self-biased subthreshold voltage reference with DIBL effect compensation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(2): 611-621.
- [26] YU K, YANG S, LI S, et al. A 521pW, 0.016%/V line sensitivity self-biased CMOS voltage reference with DIBL effect compensation using adaptive V_{GS} control[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023.
- [27] YU K, CHEN J, LI S, et al. A 0.011%/V LS and-76dB PSRR self-biased CMOS voltage reference with quasi self-cascode current mirror[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023.
- [28] HUANG C J, LAI Y J, YANG Y J O, et al. A 4.2 nW and 18 ppm/ $^{\circ}\text{C}$ temperature coefficient leakage-based square root compensation (LSRC) CMOS voltage reference[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(5): 728-732.
- [29] LEE I, SYLVESTER D, BLAAUW D. Subthreshold voltage reference with nwell/psub diode leakage compensation for low-power high-temperature systems[C]//2017 IEEE Asian Solid-State Circuits Conference (A-SSCC). 2017: 265-268.
- [30] LI Y, LEE I. An 111pW voltage reference with a diode-leakage-decoupling replica for high-temperature miniature IoT systems[C]//2021 IEEE custom integrated circuits conference (CICC). 2021: 1-2.