

DOI: 10.19816/j.cnki.10-1594/tn.2024.02.001

ISSCC 2024 论文技术热点分析*

杨业成, 王少昊

(福州大学-晋江微电子研究院 晋江 362200)

摘要: 随着新一轮科技革命和产业变革的加速演进, 特别是 5G、人工智能、物联网、虚拟现实/增强现实和高性能计算等技术的快速发展, 集成电路产业已成为全球技术竞争的焦点。作为集成电路设计领域的顶级国际会议, 国际固态电路会议 (ISSCC) 汇聚了全球最前沿的技术成果。本文对近 5 年 ISSCC 中国内地和港澳地区论文接收情况进行梳理, 并对 2024 年研究成果进行深入分析, 涵盖作者背景、研究机构、基金支持、合作情况以及研究趋势等。此外, 对这些论文的核心内容进行了翻译和整理, 旨在为国内集成电路领域的研究人员提供最新的技术洞察, 进而激发创新思维, 推动产业进步。

关键词: ISSCC; 集成电路; 研究趋势; 技术洞察

中图分类号: TN43; G255.51 **文献标识码:** A **国家标准学科分类代码:** 510

Analysis of technical hotspots in ISSCC 2024 papers

YANG Yecheng, WANG Shaohao

(FZU-Jinjiang Joint Institute of Microelectronics, Jinjiang 362200, China)

Abstract: With the accelerated evolution of a new wave of scientific and technological revolutions and industrial transformations—particularly the rapid advancements in 5G, artificial intelligence, the internet of things, virtual reality/augmented reality, and high-performance computing—the integrated circuit industry has emerged as a focal point in global technological competition. As the premier international conference in the field of integrated circuit design, the International Solid-State Circuits Conference (ISSCC) showcases the world's most cutting-edge technological achievements. This article reviews the acceptance of ISSCC papers from Chinese inland, Hong Kong, and Macao over the past five years and conducts an in-depth analysis of the research outcomes for 2024. It covers various aspects, including author backgrounds, research institutions, funding support, collaboration dynamics, and research trends. Additionally, this article translates and organizes the core content of these papers, aiming to provide the latest technical insights for domestic researchers in the field of integrated circuits, thereby inspiring innovative thinking and promoting industrial advancement.

Keywords: ISSCC; integrated circuit; research trend; technology insight

0 引言

集成电路产业作为信息技术创新的核心基石, 正逐步晋升为全球各国竞相布局和力求突破的战略高地, 其发展水平直接关系到国家科技实力与未来竞争力。在这

样的背景下, 推动集成电路技术的持续迭代与产业升级, 不仅是科技进步的必然要求, 更是国家发展战略中的重要一环。国际固态电路会议 (international solid-state circuits conference, ISSCC)^[1]由 IEEE 固态电路学会 (solid-state circuits society, SCS) 举办, 是世界学术界和工业界公认的集成电路设计领域最高级别会议, 被

* 基金项目: 国家自然科学基金项目 (62474044) 资助

杨业成, 博士研究生, 主要研究方向为氧化物半导体器件。E-mail: 231110013@fzu.edu.cn

王少昊 (通信作者), 教授, 主要研究方向为新型存储器技术及芯片设计。E-mail: shwang@fzu.edu.cn

誉为集成电路设计领域的“世界奥林匹克大会”。ISSCC 每年都会吸引超过 3 000 名来自世界各地工业界和学术界的参会者，展示最新的科研成果和技术创新。ISSCC 不仅是科研成果的展示平台，也是推动产学研结合、促进技术交流与合作的重要桥梁。通过这样的国际会议，可以加速科研成果的转化，推动集成电路产业的持续发展和创新。

今年 ISSCC 会议的主题是“ICs for a Better World”。会议涵盖了节能 AI 计算系统、数字增强模拟电路、智能传感、高性能频率合成电路和系统以及高度集成的电光收发器等多个技术领域。光电融合技术成为本次会议的一个热点，多位专家探讨了硅光电子技术在未来高性能计算中的应用潜力。此外，ISSCC 2024 还增设了“电路安全”领域，并将之前的“机器学习”领域纳入到“电路系统”下的 Session。ISSCC 2024 共收到 873 篇论文，较上年增长 38.8%。经过严格的评审流程，最终有 234 篇论文入选，录用率仅为 26.8%，是历史上最低的录用率。中国内地加上港澳地区的论文入选数量继续保持全球第一，达到 68 篇，其中澳门大学以 14 篇论文入选，位居中国第一。从图 1 可以看出，近 5 年来，中国内地和港澳地区在 ISSCC 的发文数量均呈上升趋势，且在 2023 年呈现出较大增幅。

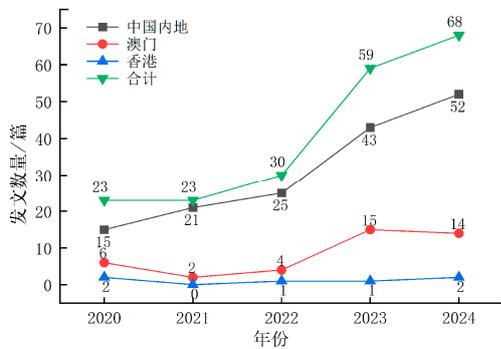


图 1 近 5 年中国内地和港澳地区 ISSCC 发文量

Fig.1 Number of ISSCC publications of the inland and Hong Kong-Macao region in recent five years

本文聚焦 ISSCC 2024 第一作者、第一单位为中国内地和港澳地区的 68 篇论文，收集论文的标题、作者信息、所属单位和基金支持等数据，针对作者发文情况、机构合作情况、基金情况和论文领域分布进行分析，并对论文主要内容进行翻译整理，以帮助研究人员快速了解国内集成电路领域的技术热点，为读者提供有益的洞见和启示，推动中国在集成电路领域的技术创新和发展。

1 发文机构和作者分析

在学术论文中，作者及其所属机构是衡量研究质量和学术影响力的关键因素。ISSCC 2024 年会议共收录来自中国内地及港澳地区 18 所顶尖高校、研究机构和企业提交的 68 篇论文。深入分析这些发文机构和作者背景，不仅有助于洞悉国内集成电路领域的研究力量分布，而且能够评估各机构及作者在该领域的学术贡献和影响力。通过这种方式，能够更准确地识别和评价学术界的活跃参与者，及其在推动集成电路技术进步中所扮演的角色。

1.1 机构发文统计

在对 ISSCC 2024 中第一作者所属的第一单位的发文情况进行详尽统计后，得出了各机构的发文量排名，具体结果如表 1 所示。澳门大学以 14 篇论文的发文量位居榜首，展现了其在尖端微电子学研究领域的领先地位；随后是清华大学，以 13 篇论文的发文量证明了其深厚的研究实力；东南大学以 6 篇论文的发文量位列第三，显示了其在集成电路研究中的活跃参与。

表 1 各机构发文数量

Table 1 Number of papers published by institutions

单位	数量
澳门大学	14
清华大学	13
东南大学	6
北京大学	5
中国科学技术大学	5
南方科技大学	5
电子科技大学	4
复旦大学	3
浙江大学	2
香港中文大学（深圳）	2
中国科学院微电子所	2
西安交通大学	1
华东师范大学	1
上海交通大学	1
中山大学	1
北京理工大学	1
同济大学	1
万高科技	1

值得注意的是，在 68 篇论文中，仅有 1 篇来自企业，这表明高校和科研机构是本次会议论文发表的主导力量。与此同时，企业在学术发表方面的参与度相对较低，这暗示着企业在集成电路领域的研究与发表方面存在较大的增长潜力和发展空间。因此，未来需要进一步激发企业的创新活力，促进产学研的深度融合，以推动整个行业的进步与繁荣。

1.2 作者发文统计

统计 ISSCC 2024 中国内地及港澳地区论文的第一作者和通讯作者的发文情况，可发现这些作者在各自研究领域的活跃度和学术影响力。在第一作者层面，68 位第一作者各贡献了 1 篇高质量的研究论文。而在通讯作者的层面，中国科学技术大学的程林以 5 篇论文的发表量脱颖而出，显示了其在集成电路领域的卓越成就；北京大学的叶乐紧随其后，发表了 4 篇论文，体现了其在学术界的活跃参与和重要贡献；北京大学的沈林晓、清华大学的尹首一及澳门大学的路延均以 3 篇论文的发表量并列第三，彰显了他们在学术研究上的深入探索。此外，浙江大学的赵博、电子科技大学的周军、南方科技大学的姜俊敏、潘权及澳门大学的李家明、黄沫和东南大学的司鑫、尤肖虎均发表了 2 篇论文。

2 基金项目支持情况分析

在集成电路这一资金密集型的研究领域，实验的开展往往需要投入巨额资金。基金项目的资助对于科研人员至关重要，它不仅为科学研究和实验工作提供必要的资金支持，确保研究者能够进行高质量的研究工作，而且还为研究者搭建了宝贵的平台，使其有机会与其他领域的专家进行合作，参与重要的学术会议，并与同行进行深入的学术交流。

通过细致分析 ISSCC 2024 中国内地及港澳地区论文中的“致谢”部分，发现在 68 篇论文中，有 63 篇得到了基金项目的资助，资助率高达 92.64%，具体统计数据见表 2。

由表 2 可知，受国家自然科学基金项目资助的论文数最多，达 43 篇，分别为清华大学 8 篇，澳门大学 5 篇，北京大学 5 篇，南方科技大学 5 篇，东南大学 5 篇，中国科学技术大学 3 篇，电子科技大学 2 篇，浙江大学 2 篇，复旦大学 1 篇，华东师范大学 1 篇，上海交通大学 1 篇，同济大学 1 篇，西安交通大学 1 篇，香港中文大学（深圳）1 篇，香港大学 1 篇，以及中国科学院微电子所 1 篇。

表 2 基金项目资助论文数量
Table 2 Number of papers funded by grants

基金/项目	资助数量
国家自然科学基金	43
国家重点研发计划	25
澳门科学技术发展基金	15
111 计划项目	5
澳门大学研究基金	5
河套深港科技创新合作区项目	4
中国科学院战略性先导科技专项	4
北京市科技计划项目	3
北京市科技新星计划项目	3
科技创新 2030 项目	2
深圳市基础研究项目	2
鹏程实验室重大专项	2
广东省引进创新创业团队项目	2
中央高校基本科研业务费专项资金	2
安徽高校自然科学基金项目	1
NSAF 联合基金	1
广东省自然科学基金	1
国家高技术研究发展计划	1
四川省自然科学基金	1
上海浦江人才计划项目	1
澳门大学发展基金	1
浙江省重点研发计划	1
广东省基础与应用基础研究基金	1
江苏省自然科学基金	1
深圳市科技计划项目	1
深圳基础研究项目	1
深圳科技创新委员会资助项目	1
新基石科学基金	1
北京量子信息科学研究院研究项目	1
新加坡 A*STAR SERC AME 计划	1

在受资助的 63 篇论文中，有 46 篇受到两个及以上基金项目资助。这一显著的资助比例反映出国家对集成电路领域的前沿研究给予极大的重视和支持。基金项目的资助对于推动高质量和创新性研究的开展具有不可或缺的作用，它为学术探索提供坚实的资金基础，为科研人员实现学术突破和技术创新提供保障。

3 科研合作统计分析

科研合作是推动科学进步的强大引擎，其通过资源共享和知识交流，激发创新思维的碰撞与融合。这种合作不仅加速了技术革新的步伐，还显著提升了科研工作的效率和成果的质量，增强了研究成果的可靠性与权威性。通过深入分析 ISSCC 2024 中国内地及港澳地区的论文，可以探究其科研合作的模式和频率，从而勾勒出集成电路领域的合作网络图景。

一方面，这种分析有助于理解合作如何影响学术论文的发表，为科研合作的趋势和模式提供深刻的见解和启发；另一方面，它还能揭示在合作中表现突出的机构和地区，为促进更广泛的学术交流和深化合作关系创造机会。通过这种方式，能够更好地理解合作的力量，以及其如何塑造科学研究的未来。

3.1 科研机构和企业合作情况

科研机构与企业之间的合作是实现双方优势互补和互利共赢的战略选择。科研机构凭借其深厚的研究基础和创新能力，专注于基础研究和前沿技术的开发，

积累了丰富的学术资源和经验。与此同时，企业凭借对市场需求的敏锐洞察和丰富的实际应用经验，能够为科研工作提供明确的方向和目标。

这种跨界合作不仅能够促进技术难题的解决和产品创新的推进，而且在将科研成果转化为具有市场竞争力的商业产品方面发挥着至关重要的作用。通过加速技术的市场化进程，合作双方能够共同推动科研成果的实际应用和产业升级，实现科技创新与市场需求的的有效对接，从而在激烈的市场竞争中占据有利地位。

深入分析 ISSCC 2024 中国内地及港澳地区的论文，特别关注论文中的合作情况，并对其合作的科研机构、企业及其所在城市进行了详尽的统计，相关数据汇总于表 3。根据表 3 的统计结果可以发现，共有 13 篇论文是科研机构与企业合作的成果。其中，北京大学以第一作者和第一署名单位的身份与企业合作发表了 4 篇论文，彰显了其在促进产学研合作方面的显著热情和积极姿态。合作主要集中在北京、上海、深圳、杭州和成都等城市，表明这些城市的科研机构和企业在地域邻近性上具有更紧密的合作关系。

表 3 科研机构和企业合作信息统计

Table 3 Statistics on cooperation between scientific research institutions and enterprises

科研机构	企业	国内外合作	通讯作者	通讯作者单位
北京大学	杭州微纳核芯电子科技有限公司	否	叶乐, 沈林晓	北京大学
北京大学	杭州微纳核芯电子科技有限公司	否	叶乐, 王志轩	北京大学
电子科技大学	中微半导体股份有限公司	否	周军	电子科技大学
上海交通大学	上海联影医疗科技股份有限公司, 上海市精神卫生中心	否	赵健	上海交通大学
浙江大学	脉砥微电子	否	赵博	浙江大学
浙江大学	脉砥微电子, 万高科技	否	赵博	浙江大学
中国科学技术大学	合肥 CLT 微电子	否	程林	中国科学技术大学
清华大学, 上海 AI 实验室	沐创集成电路	否	刘雷波	清华大学
电子科技大学华中科技大学	四川大学华西医院	否	周军	电子科技大学
东南大学, 北京大学	后摩智能科技有限公司	否	王超	东南大学
浙江大学, 代尔夫特大学	万高科技	是	Nick Nianxiang Tan	万高科技

在科研机构与企业间的合作关系网络中，如图 2 所示，清华大学以其中心节点的地位，与众多科研机构和企业建立了广泛的联系，形成了一个紧密且富有成效的合作网络。在这一合作关系网络中，科研机构

通常扮演着主导角色，引领研究方向和创新路径，而企业则作为合作伙伴，提供必要的支持和资源辅助。这种模式反映出集成电路领域的前沿研究活动主要集中在高校和科研院所，这些机构凭借其深厚的学术积

累和创新能力，持续推动着该领域的技术进步和知识发展。通过这种产学研的深度融合，不仅能够确保研

究成果的科学性和前瞻性，还能够促进集成电路领域的科研成果向实际应用的快速转化。

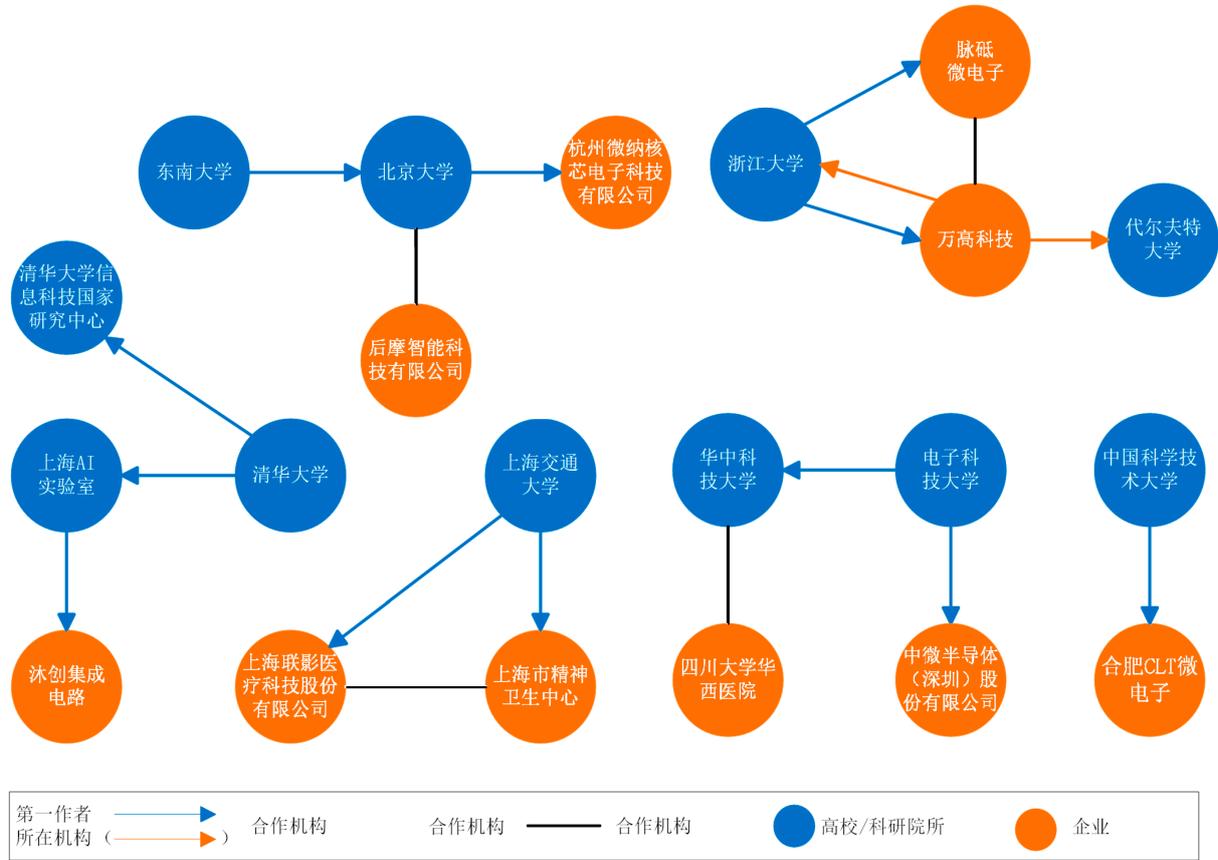


图 2 科研机构和企业合作网络

Fig.2 Network of cooperation information between research institutions and enterprises

3.2 科研机构合作

科研机构间的合作是推动学术界进步的重要力量。这种合作不仅促进了知识交流和思想碰撞，还提升了研究工作的创新性和前沿性。通过合作，研究者能够共同探索更深层次的问题，拓宽研究视野，深化对复杂现象的理解。

在对 ISSCC 2024 中国内地及港澳地区学者的论文的科研机构合作情况进行统计分析后，得到了表 4 所示的结果。数据显示，共有 33 篇论文是通过科研机构间的合作完成的，占总发文量的 48.5% 以上，凸显了科研机构间的合作是中国内地和港澳地区学者发文的主要模式。

澳门大学在国际合作方面表现尤为突出，与葡萄牙里斯本大学建立了紧密的战略合作伙伴关系，并共同发表了 11 篇论文。此外，澳门大学还与中国内地学

术机构合作，发表了 2 篇论文。清华大学同样展现了其在国际和国内合作上的活跃度，与国外机构合作发表了 2 篇论文，并与中国内地及港澳地区的合作机构共同发表了 4 篇论文。

在构建的科研机构合作网络中，如图 3 所示，澳门大学和清华大学作为 ISSCC 2024 中国内地及港澳地区发文量最多的学术机构，它们不仅在学术产出上表现卓越，同时也在科研合作方面建立了广泛而深入的联系。这两所高校的活跃合作网络不仅凸显了它们在学术交流与知识创新中的领先地位，也彰显了科研机构合作对于提升研究成果产出的显著影响。通过这种紧密的合作关系，两所高校成功地将各自的研究优势和资源进行整合，为学术界带来了丰富的知识贡献，并推动了科学前沿的发展。

表4 科研机构之间的合作信息统计
Table 4 Statistics of cooperation information between research institutions

第一作者第一单位	合作机构	国内外合作	通讯作者	通讯作者单位
澳门大学	里斯本大学	是	李家明	澳门大学
澳门大学	里斯本大学	是	张明磊	澳门大学
澳门大学	中国科学院微电子所, 里斯本大学	是	陈勇	澳门大学
澳门大学	里斯本大学	是	殷俊	澳门大学
澳门大学	里斯本大学	是	于维翰	澳门大学
澳门大学	里斯本大学	是	陈知行	澳门大学
澳门大学	里斯本大学	是	麦沛然	澳门大学
澳门大学	里斯本大学	是	江洋	澳门大学
澳门大学	里斯本大学	是	黄沫	澳门大学
东南大学	埃因霍温理工大学	是	洪伟	东南大学
东南大学	紫金山实验室, 法国巴黎南电信学院	是	尤肖虎	东南大学, 紫金山实验室
南方科技大学	香港中文大学, 代尔夫特大学, 清华大学	是	姜俊敏	南方科技大学
南方科技大学	香港中文大学, 爱荷华州立大学	是	姜俊敏, 刘寻	南方科技大学, 香港中文大学
清华大学	代尔夫特大学	是	吴华强	清华大学
清华大学	南洋理工大学, 北京量子信息科学研究院	是	姜汉钧	清华大学
香港中文大学	南方科技大学	是	刘寻	香港中文大学
澳门大学	南方科技大学	否	路延	澳门大学
澳门大学	清华大学	否	路延	澳门大学
北京大学	北京信息科技大学	否	叶乐, 王志轩	北京大学, 浙江省北大信息技术高等研究院, 北京信息科技大学
北京理工大学	清华大学	否	孙厚军	北京理工大学
复旦大学	中国科学院大学	否	殷韵	复旦大学
复旦大学	嘉善复旦研究院, 西安电子科技大学	否	闫娜	复旦大学, 西安电子科技大学
华东师范大学	上海交通大学	否	张润曦, 田晓华	华东师范大学, 上海交通大学
南方科技大学	复旦大学	否	潘权	南方科技大学
清华大学	香港科技大学, 上海 AI 实验室	否	尹首一	清华大学, 上海 AI 实验室
清华大学	上海 AI 实验室	否	尹首一	清华大学, 上海 AI 实验室
清华大学	中国科学院大学	否	刘勇攀, 贾弘洋	清华大学
西安交通大学	澳门大学	否	耿莉	西安交通大学
中国科学院微电子所, 中国科学院大学	北京理工大学, 澳门大学	否	王鑫华, 张峰	中国科学院微电子所, 中国科学院大学, 北京理工大学
中国科学院微电子所, 中国科学院大学	复旦大学	否	窦春萌	中国科学院微电子所, 中国科学院大学

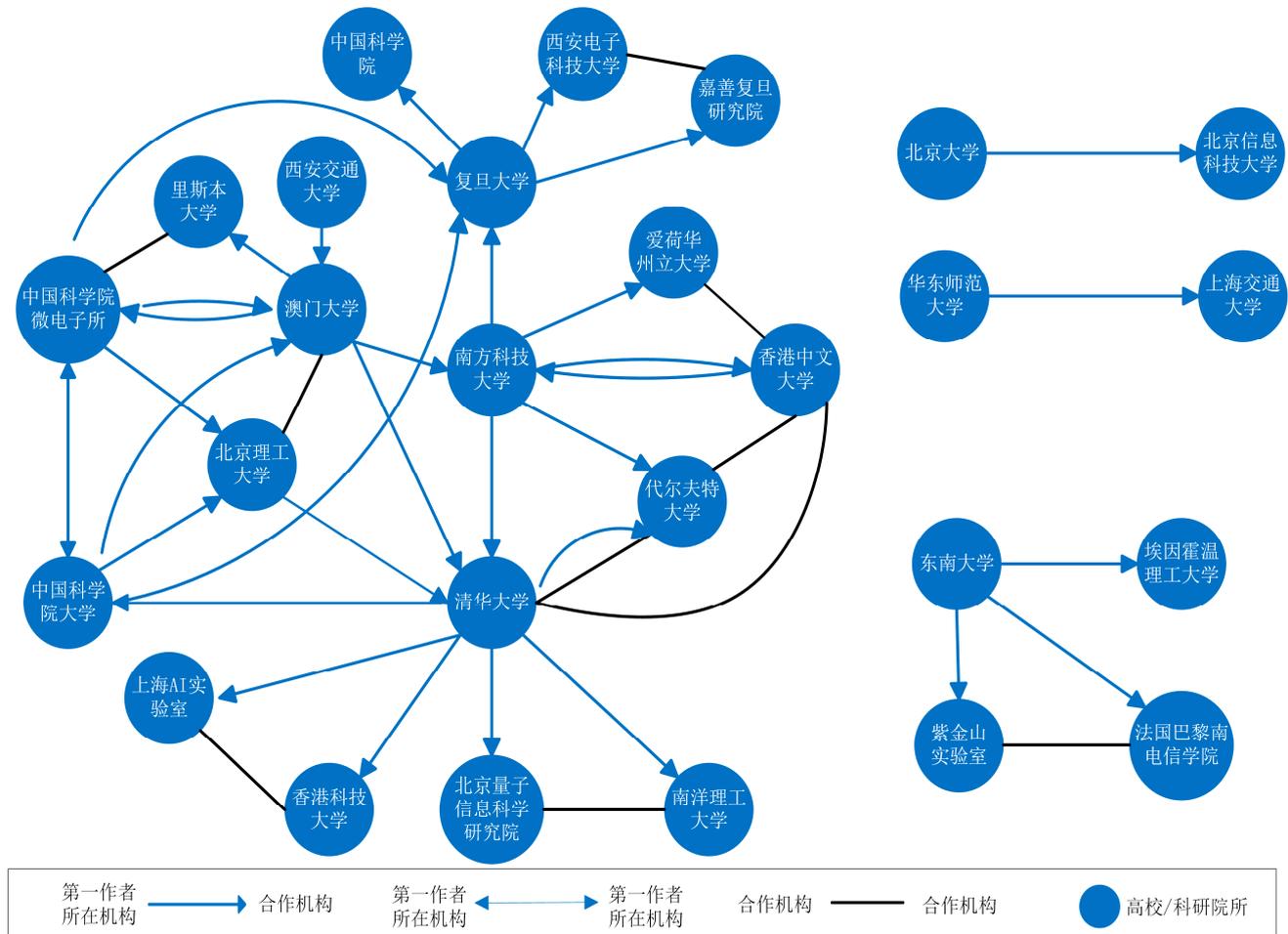


图 3 科研机构之间的合作网络

Fig.3 Cooperation network among research institutes

4 研究方向分析

本文分析了中国内地及港澳地区在 ISSCC 2024 的 12 个征文领域和 34 个 Session 中的论文发表情况，旨在揭示集成电路领域的研究焦点与发展趋势。通过统计分析，了解学术界的关注点以及技术发展的脉络。相关的统计数据见表 5、6。

根据表 5 可知，中国内地及港澳地区的研究论文在 ISSCC 2024 的 12 个征文领域中均有涉猎，显示出研究的广泛性。这 12 个领域分别是模拟 (analog, ANA)、数字架构与系统 (digital architectures and systems, DAS)、数字电路 (digital circuits, DCT)、存储器 (memory, MEM)、有线传输 (wireline, WLN)、

电源管理 (power management, PM)、数据转换器 (data converters, DC)、射频电路 (radio frequency, RF)、无线传输 (wireless, WLS)、技术方向 (technology directions, TD)、影像/微机电/医疗/显示 (imagers, MEMS, medical and displays, IMMD) 以及电路安全 (security, SEC)。特别地，这些论文在 PM、RF、WLS 和 MEM 等关键领域表现出较高的集中度，这些领域显然已成为中国内地及港澳地区学者的研究热点。与此同时，DAS 和 SEC 领域的论文发表相对较少，暗示这些方向的研究力量相对薄弱，需要进一步关注和加强。在具体机构的表现上，澳门大学在 TD 和 PM 领域展现出显著的研究成果和优势；清华大学展现了其在多个领域的均衡发展 and 广泛影响力，其科研成果在各个领域均有分布，显示出该校在集成电路

研究领域的全面性和深度；中国科学技术大学的发文则均集中在 PM 领域。

根据表 6 的数据可以看出，在 ISSCC 2024 的 34 个 Session 中，有 30 个 Session 收录了来自中国内地及港澳地区的论文投稿，高于 ISSCC 2023 年的 23 个，覆盖率提升了 21%。特别是在“Session 31 能量转换器技术”上，论文发表数量最为突出，共发表了 6 篇论文，显示出在这一领域的活跃度和影响力。进一

步分析显示，“Session 19 RF 到毫米波范围振荡器和频率倍增器”、“Session 23 高能效连接无线电”、“Session 24 D 频段/亚太赫兹无线传输和传感”、“Session 27 无线能量”、“Session 31 能量转换器技术”以及“Session 34 存内计算”这 6 个 Session 中，来自中国内地及港澳地区的论文数量占据了各自分会场论文总量的一半以上，凸显了在这些技术方向上的领先地位和引领作用。

表 5 中国内地和港澳地区学者在 ISSCC 2024 各征文领域的发文量

Table 5 Number of papers published by scholars from the inland and Hong Kong-Macau region in each subject area of ISSCC 2024

	ANA	DAS	DCT	MEM	WLN	PM	DC	RF	WLS	TD	IMMD	SEC	合计
澳门大学	1	0	0	0	1	6	1	1	1	2	1	0	14
清华大学	1	1	1	3	0	0	2	2	0	1	1	1	13
东南大学	0	1	1	1	0	0	0	2	1	0	0	0	6
北京大学	1	0	2	0	0	0	2	0	0	0	0	0	5
中国科学技术大学	0	0	0	0	0	5	0	0	0	0	0	0	5
南方科技大学	0	0	0	1	2	2	0	0	0	0	0	0	5
电子科技大学	0	0	1	0	0	0	0	0	2	0	1	0	4
复旦大学	1	0	0	0	0	0	0	0	2	0	0	0	3
浙江大学	0	0	0	0	0	0	0	0	1	0	1	0	2
香港中文大学（深圳）	0	0	0	0	0	1	0	1	0	0	0	0	2
中国科学院微电子所	0	0	0	2	0	0	0	0	0	0	0	0	2
西安交通大学	0	0	0	0	0	0	0	1	0	0	0	0	1
华东师范大学	0	0	0	0	0	0	0	0	1	0	0	0	1
上海交通大学	0	0	0	0	0	0	0	0	0	0	1	0	1
中山大学	0	0	0	0	0	1	0	0	0	0	0	0	1
北京理工大学	0	0	0	0	0	0	0	1	0	0	0	0	1
同济大学	0	0	0	0	0	0	0	0	0	1	0	0	1
万高科技	1	0	0	0	0	0	0	0	0	0	0	0	1
合计	5	2	5	7	3	15	5	8	8	4	5	1	68

表 6 中国内地和港澳地区学者在 ISSCC 2024 各 Session 的发文数据统计

Table 6 Publication statistics of scholars from the inland and Hong Kong-Macau region in each ISSCC 2024 Session

ISSCC Sessions	论文数量	该Session论文数量	占比
Session 1 全体会议	0	4	0%
Session 11 重点芯片发布：数字处理器和机器学习处理器	0	4	0%
Session 18 高性能光收发机	0	4	0%
Session 25 突破ISSCC边界的创新	0	4	0%
Session 2 处理器和通信片上系统	1	8	13%
Session 3 模拟技术	4	10	40%
Session 4 高性能通信与测距收发器和发射器	1	5	20%
Session 5 无线RF和毫米波技术	2	5	40%
Session 6 成像和超声	2	10	20%
Session 7 超高速有线传输	3	9	33%
Session 8 混合直流/直流转换器	4	11	36%
Session 9 噪声整形和逐次逼近寄存器型模数转换器	3	9	33%
Session 10 频率综合	2	9	22%
Session 12 用于信息和能量传输的电磁接口集成电路	1	6	17%
Session 13 高密度存储和高速接口	1	10	10%
Session 14 用于系统适应性、电源管理和时钟控制的数字技术	3	10	30%
Session 15 嵌入式存储器和伊辛计算	1	9	11%
Session 16 安全：从处理器到电路	1	8	13%
Session 17 新兴感知计算技术	2	11	18%
Session 19 RF到毫米波范围振荡器和频率倍增器	4	5	80%
Session 20 机器学习加速器	1	8	13%
Session 21 音频放大器	1	4	25%
Session 22 高速模数转换器	2	5	40%
Session 23 高效连接无线电	3	5	60%
Session 24 D频段/亚太赫兹无线传输和传感	2	4	50%
Session 26 显示和用户交互技术	1	5	20%
Session 27 无线能量	3	5	60%
Session 28 高密度电源管理	2	6	33%
Session 29 用于量子技术的集成电路	1	5	20%
Session 30 针对特定应用领域的计算技术和数字加速器	2	6	33%
Session 31 能量转换器技术	6	11	55%
Session 32 功率放大和信号产生	2	10	20%
Session 33 智能神经接口和传感系统	2	11	18%
Session 34 存内计算	5	9	56%

5 中国内地和港澳地区论文内容简述

本文翻译并整理了中国内地及港澳地区学者的研究成果，目的在于为读者呈现每篇论文的研究背景、

研究方法和关键结论。通过这种精炼的介绍，读者可以迅速把握前沿学术成果的核心要点，从而对集成电路领域的最新进展有一个直观的认识。

(1) Session 2 处理器和通信片上系统

Session 2 中共有 1 篇论文来自中国内地及港澳地

区, 论文编号为 2.7。

2.7: BayesBB: 一种 40 nm、9.6 Gbit/s、1.61 ms 延时, 用于超 5G/6G 无蜂窝超大规模 MIMO 的可配置全信息传递基带加速器^[2]

无线 5G 的成功对全人类的生活产生了重大影响, 而在将来的超 5G (beyond 5G, B5G) 与 6G 时代, 能够提供更高频谱效率的无蜂窝大规模多输入多输出 (multiple input multiple output, MIMO) 将会发挥关键作用。B5G 与 6G 需要基带芯片能够同时提供高于每用户 8 Gbit/s 的吞吐量、实现小于 2 ms 的超低延时、并且具有可配置性, 支持多种应用。这种系统级基带芯片带来了 3 个挑战: (1) 高吞吐量要求设计一个符合 IEEE 802.3 标准, 满足 B5G/6G 高数据流量的高速接口; (2) 实现低延时需要将各个算法集成在单个基带芯片中; (3) 实现可配置性, 支持多种应用要求芯片具有灵活的架构。对此, Zhang 等提出了一种基带加速器电路, 其电路集成了一个全面的基带系统, 并具有以下特点: (1) 高速设计将以太网接口、串行器和解串器、预处理器与信道估计器无缝集成, 使芯片实现了极高的吞吐量; (2) 实现了 8×8 16- 正交幅度调制 (quadrature amplitude modulation, QAM)、MIMO 和置信传播 (belief propagation, BP) 检测器, 其延迟远小于 5G 要求; (3) 结构具有可配置性, 能处理 B5G/6G 的各种应用。该设计在 40 nm 互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺下成功流片, 芯片功耗为 3.2 W, 在 200 MHz 系统频率下其峰值吞吐量可达 9.6 Gbit/s。

(2) Session 3 模拟技术

Session 3 中共有 4 篇论文来自中国内地及港澳地区, 论文编号分别为 3.2、3.3、3.4 和 3.10。

3.2: 一种 0.028 mm², 基于 0.18 μm CMOS 工艺, 在-40~125°C 温度范围内精度为 ±9×10⁻⁴, 加速老化后精度为±1.6×10⁻³的 32 MHz RC 频率基准^[3]

基于电阻电容 (resistor capacitor, RC) 的频率基准能以较小的芯片面积实现中等精度 (~1×10⁻³), 因此有可能在对成本敏感的物联网应用中取代体积庞大的晶体或微机电系统 (micro-electro-mechanical system, MEMS) 频率基准。然而, 由于片上电阻器具有较大的非线性温度依赖性, 要实现较低的精度需要复杂的温度补偿方案, 从而增加了芯片面积; 另一个挑战是其长期频率漂移。Pan 等介绍了一种基于 N 型扩散 (N-diff) 电阻器的紧凑型 RC 频率基准, 使用基于双极型晶体管 (bipolar junction transistor, BJT) 的温度补偿电路来消除其一阶和二阶温度系数。其在-40~

125 °C 温度范围内实现了低误差 (±9×10⁻⁴), 在加速老化后实现了最小的误差 (±1.6×10⁻³), 并以 0.18 μm 的标准技术实现了低面积 (0.028 mm²)。与同样耐老化的金属通孔电阻器相比, 扩散电阻器的片电阻更大, 因此所占面积更小。此外, 其不受电迁移的影响, 因而无需使用占空比循环或交流偏压来增强稳定性。

3.3: 一种 0.5 V, 6.14 μW, 具有[5.1 nJ, 120 μs]XO 启动和[8.1 nJ, 200 μs]基于逐次逼近 RTC 校准的免微调单 XO 双输出频率基准^[4]

对于微型物联网系统, 为了减小面积与成本, 设计者希望使用一个石英晶体来产生多个输出频率。之前部分研究尝试使用兆赫兹级别的晶振来校准集成振荡器或生成多种用途的时钟, 但是这些工作存在睡眠功率高、校准所需时间长或晶体振荡器 (crystal oscillator, XO) 启动慢等问题。Luo 等提出了一种 0.5 V 免微调的单晶多输出 (single-crystal multi-output, SXDO) 频率基准, 实现了高能效和快速的校准及启动。电路使用 XO 产生一个 16 MHz 的按需时钟, 并将数环振荡器当作一个 1 MHz 的常开实时时钟 (real-time clock, RTC)。以 XO 作为参考, 电路通过逐次逼近的方式对数字控制振荡器 (digitally controlled oscillator, DCO) 频率进行校准, 校准过程不超过 200 μs 且只消耗 8.1 nJ 能量, 在睡眠模式下 RTC 功耗为 6.14 μW, 同时通过重用 RTC 产生一个 16 MHz 的信号来启动 XO, 实现了 120 μs 的启动时间。

3.4: 一种 14 位 98~5 900 Hz、1.7~50.8 μW 带宽/功耗可缩放, 采用动态带隙基准源, -40~125°C 无修调增益误差为±0.26%的传感器接口^[5]

物联网应用中的不同场景对传感器性能提出了多种需求, 如电池管理中同时需要窄带宽低功耗传感器与中等带宽传感器, 由此产生了带宽/功耗可缩放的全动态模数转换器 (analog-to-digital converter, ADC) 的需求。尽管过去工作中的逐次逼近寄存器 (successive approximation register, SAR) ADC 与带宽/功耗可缩放 Delta-Sigma ADC 可以分别满足中等与更高精度的需求, 但 ADC 外部的带隙基准源与其后级的缓冲器仍然为静态电路, 同时还需要额外的去耦电容, 导致传感器带宽/功耗缩放性有限以及巨大的功耗与面积开销。对此, Tang 等提出了一种全动态传感器: (1) 使用动态带隙基准源、省去参考电压缓冲器与去耦电容; (2) 采用全动态 Delta-Sigma ADC, 其核心积分器基于浮动反相放大器 (floating-inverter amplifiers, FIA) 设计; (3) 运用时域温度补偿方案, 在-40~125°C 范围内实

现 $\pm 0.26\%$ 的无修调增益误差。该设计在 130 nm 工艺下成功流片, 其带宽在 98~5 900 Hz 间可调, 且带宽内精度均高于 84.5 dB, 功耗在 1.7~50.8 μW 范围内随采样频率与带宽变化。

3.10: 一种基于 22 nm/180 nm CMOS 工艺, 第一级为输入增强型, 实现 0.69/0.58-PEF 及 1.6 nW/24 nW 的电容耦合斩波仪表放大器^[6]

前端放大器通常决定传感器系统的噪声水平。因此, 在具有严格功耗限制和较小输入振幅的物联网 (internet of things, IoT) 应用中, 高效放大器起着至关重要的作用。本研究提出了一种高效电容耦合斩波仪表放大器 (capacitive-coupled chopper instrumentation amplifier, CCIA)。所提出的基于输入增强型反相器的第一级放大器可在互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 输入的情况下提高电流效率, 并通过将一对差分输入耦合到源极和栅极, 将信号相关电压增加 1 倍, 从而有效降低输入参考噪声 (input referred noise, IRN)。采用无尾末级的三级放大方案, 以实现高环路增益和宽输出范围。为了解决漏电流问题, 还采用了补偿电路。在 22 nm 和 180 nm CMOS 工艺中实现了两个输入增强型 CCIA 原型。前者在 230 Hz 带宽内实现了 8.05 μVrms IRN, 后者在 1.6 kHz 带宽内实现了 5.09 μVrms IRN, 功耗为 24 nW。两个原型的功率效率因子 (power efficiency factor, PEF) 均低于 0.7, 验证了设计在不同功率水平和工艺条件下的有效性。

(3) Session 4 高性能通信与测距收发器和发射器

Session 4 中共有 1 篇论文来自中国内地及港澳地区, 论文编号为 4.4。

4.4: 一种使用 1/3 占空比 LO 信号实现谐波抑制的高集成度 6 相单元复用数字发射机^[7]

为了充分受益于先进的互补金属氧化物半导体技术, 发射机的设计最好能够完全数字化, 这可以减小芯片面积, 实现高效运行, 并且可以直接连接到数字基带。然而, 复杂正交频分复用和宽带高阶调制对数据需求的不断增长, 对发射机的输出功率、效率和线性度都提出了巨大挑战。Li 等提出了一种由 1/3 占空比本地振荡器 (local oscillator, LO) 信号驱动的 6 相单元复用数字发射机 (digital transmitter, DTX)。该 DTX 的输出功率范围接近于极性同类产品, 在复平面上达到了 18 个效率峰值。多相 LO 通过一个多相注入锁定环形振荡器来产生, 达到了精确、低抖动及低功耗。与使用 1/2 占空比 LO 驱动的 DTX 相比, 此 DTX 的三

次谐波分量降低了 27 dBc, 实现了良好的三次谐波抑制。

(4) Session 5 无线 RF 和毫米波技术

Session 5 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 5.1 和 5.4。

5.1: 一种具有 50% 占空比本地振荡器与 IQ 泄露抑制的 5~16 GHz 可重构正交接收机^[8]

随着现代通信技术的发展, 支持多种通信与雷达协议的多功能射频系统在实际应用中具有更大的需求。这些系统的核心是收发机芯片, 芯片需要能覆盖低于 1 GHz 至大于 20 GHz 的频率范围, 提供灵活的信号带宽, 并能在不同功能下调整功耗。因此带来了芯片设计上的挑战: (1) 射频前端需要对功耗、增益与噪声进行折衷, 在不引入过大噪声与失真的前提下处理宽频带信号; (2) 更高载波频率下, 片上生成对混频至关重要的低相位失配与低抖动的多相位时钟的难度显著增加; (3) 由于信号带宽很宽, 基带功耗随信号带宽呈准线性增长, 导致功耗开销; (4) 所需的可重构性设计要求芯片具有灵活的架构, 使电路设计复杂化。对此, Xu 等提出了一种适用于多种通信模式的宽带可重构正交接收机电路: (1) 低噪声放大器 (low noise amplifier, LNA) 使用两级设计并采用频率交错调谐以覆盖广频率范围; (2) 采用混合级联环路结构, 结合延迟线的低噪声优势与环形振荡器低相位失配的优点; (3) 模拟基带模块实现了不同带宽模式下的可缩放电流消耗, 利用电流复用实现更高的效率; (4) I (in-phase) -Q (quadrature) 路径中采用两个独立 Gm (transconductance) 单元, 抑制了复杂 I/Q 失配。该设计在 28 nm 工艺下成功流片, 芯片覆盖 5~16 GHz 频率范围, 32~72 dB 间增益可调并具有 2.2~5.7 dB 的噪声系数, 同时芯片具有片上多相时钟生成电路与增强的 I-Q 隔离。

5.4: 一款采用波束赋形和波束跟踪技术, 经空口测试实现空间抑制 >30.2 dB 的 22.4~30.7 GHz 相控阵接收器^[9]

在复杂电磁环境中运行的毫米波相控阵接收机 (receiver, RX) 经常受到空间多样化干扰的影响, 从而导致接收机饱和及非线性失真。缓解这一问题的常用方法之一是采用窗函数来抑制旁瓣, 但其缺点是会降低阵列增益。另外, 还有人提出了空间陷波滤波器, 其能对不需要的带内阻塞产生空间陷波; 另一种方法是在射频链中抑制阻塞器, 但这种方法限制了相控阵 RX 的可扩展性, 因为每个元件都需要单独的空间陷波

滤波器 and 对称布局。Yu 等展示了一种用于毫米波相控阵 RX 的波束赋形转向技术,该技术可在混频器之前抑制带内阻塞,无需在每个射频信道中使用有损衰减器或功耗高的可变增益放大器,并支持更高的可扩展性。此外,还开发了一种波束跟踪方法,可及时检测阻塞器的入射角度和所需信号的入射角度。

(5) Session 6 成像和超声

Session 6 中共有 2 篇论文来自中国内地及港澳地区,论文编号分别为 6.8 和 6.9。

6.8: 一种 256×192 像素 30 frame/s, 使用 8 倍电流积分 TIA、混合脉冲位置/宽度转换器和强度/卷积神经网络引导 3D 绘图技术的汽车直接飞行时间激光雷达^[10]

激光雷达由于具有高图像分辨率和飞行时间的深度感知能力,在传感器领域中有很好的应用前景,用来实现高质量成像和高水平检测范围,而这种传感器对于自动驾驶技术的发展极为重要。背景光过强、物体反射率低、距离太近和物体过小等因素,对激光雷达的信噪比、时间分辨率和像素分辨率等指标设计提出了许多要求。Zou 等所做的工作有:(1)使用基于高增益电流积分的跨阻放大器(transimpedance amplifier, TIA)来实现更高的帧率;(2)使用混合脉冲位置和宽度转换器,可同时提供时间与强度信息,与电流积分跨阻放大器结合提供 50 ps (7.5 mm) 的时间分辨率;(3)同时使用两种算法进一步提高雷达的性能,其中集成增益加权平均算法提高了累计效率和准确度,卷积神经网络引导的 3D 绘制网络生成缺失信息。最后激光雷达系统达到了 30 frame/s 和 256×192 的像素分辨率。

6.9: 一种 0.35 V, 0.367 TOPS/W 采用 3 层光电混合卷积神经网络的图像传感器^[11]

基于图像传感器与云处理或 AI 处理器相结合的传统计算机视觉技术在功耗、数据传输延时和内存访问方面存在重大挑战。先前工作曾采用过电容滤波、基于方向梯度直方图(histogram of oriented gradients, HOG)特征的图像用于目标检测、卷积神经网络和光域处理等方法来解决,但均存在一定的缺陷与不足。对此,Wang 等提出了一种集成了光电混合的 3 层卷积处理单元的基于脉宽调制(pulse width modulation, PWM)像素的图像传感器阵列:(1)第一层卷积在光域中进行,不引入额外功耗,发挥光学卷积高能效的潜力;(2)将光学卷积与电学卷积集成,并通过在单个设备内重新编程,使其具有基本可编程性;(3)提出了一种双模式处理单元(processing element, PE),

可同时实现采集与计算模式。在 PWM 像素和 PE 的共同设计中,采用了和/差分双计数器集成设计,并结合两种不同的像素重置方法,有效地降低了计算功耗。

图像传感器芯片在 180 nm 工艺下成功流片,采集与计算模式在 1 frame/s 速度下分别仅需 1.579 μW 与 2.351 μW 功耗,1 frame/s 下能量效率达到 0.367 TOPS/W。

(6) Session 7 超高速有线传输

Session 7 中共有 3 篇论文来自中国内地及港澳地区,论文编号分别为 7.4、7.5 和 7.6。

7.4: 一种 0.027 mm², 5.6~7.8 GHz 的基于环形振荡器的乒乓采样 PLL, 达到 220.3 fs_{rms} 抖动和 -74.2 dBc 信号参考峰值^[12]

基于环形振荡器(ring oscillator, RO)的锁相环(phase-locked loop, PLL)具有占用空间小、频率调整范围宽、固有多相生成和频率拉伸弹性等优点,是多线通信应用的理想候选器件。然而,RO 的相位噪声较差,闪烁噪声角较高,限制了整体抖动性能。虽然注入锁定时钟乘法器和乘法延迟锁定环可通过相位重新对准机制有效抑制环形振荡器相位噪声,但由于对准时序不完善,参考(reference, REF)杂散显著增加,因此需要进行复杂的校准。Huang 等介绍了一种基于 RO 的 5.6~7.8 GHz 双路 PLL,其综合抖动为 220.3 fs_{rms}, REF 杂散为 -74.2 dBc,抖动功率为 -241 dB。其集成了一个乒乓采样相位检测器,以减轻环路带宽和相位裕度的限制。利用边缘校正环路对齐两个采样边缘,从而同时改进了综合抖动和 REF 杂散。

7.5: 一种用于 800 千兆以太网/1.6 太比特以太网、带 29 dB 均衡的 224 Gbit/(s·wire) 单端 PAM-4 收发器前端^[13]

对于人工智能和云计算,实现 224 Gbit/s 的数据速率至关重要。目前已有的实现 224 Gbit/s 远距传输的方案包括使用模数转换器或数字信号处理器来提高信号质量、使用脉冲幅度调制(pulse amplitude modulation, PAM) PAM-6、PAM-8、复杂正交频分复用调制和采用带时钟数据恢复和均衡器的重定时器(retimer with adjustable margin, RAM) RAM-4。以上方案均是基于差分信号。相较于差分信号,单端信号更有利于实现高引脚密度与长距离传输应用。Luo 等提出了一种具有 29 dB 均衡能力的单端 PAM-4 收发器前端,其中发射器由 90 Ω 衰减器、预加重均衡器和 50 Ω 差分转单端输出驱动器构成,接收器包括单端到差分转换器、两级前馈连续时间先行均衡器、可变增益放大器和 90 Ω

输出缓冲器。在 224 Gbit/s PAM-4 模式下,该收发机前端在 56 GHz 下实现了小于 1×10^{-7} 的误码率。

7.6: 一种采用 28 nm CMOS 具有 31 dB 损耗补偿的 112 Gbit/(s · pin) 单端串扰抵消收发机^[14]

云计算和人工智能应用的不断发展,推动有线收发机向更高的数据传输速率发展。目前基于数字信号处理器的发射机与接收机已达到 224 Gbit/s 传输速率,但其存在耗电量大的问题,同时,224 Gbit/s 串行器/解串器对于连接器等无源元件的信号完整性要求更为严格。相比之下,单端方案可能是适用于 224 Gbit/s 数据传输速率的一种实用且经济高效的解决方案,其可通过差分信道传输两路单端信号从而提高 1 倍吞吐密度,同时该方案可放宽无源元件奈奎斯特带宽要求。然而,单端链路会受到更严重的串扰噪声,尤其是长距链路情况下。在此情况下,Zhong 等提出了一种 2×112 Gbit/s PAM-4 单端可重构串扰消除收发机:(1)发射机采用可重构串扰消除技术来处理轻度的串扰噪声;(2)提出了一种新型失配缓和 Gm (transconductance) -TIA (transimpedance amplifier) 型 S2D (single-ended-to-differential) 转换器,与传统 S2D 相比,其采用的 Gm-TIA 拓扑可实现大于 35 GHz 的高带宽,同时 Gm 单元存在强弱两条路径,通过将两条路径进行求和来实现低增益失配;(3)提出了一种采用多相位时钟的 4-tap FFE (feed forward equalizer),被动采样保持中的保持时间增加,同时提高了加法器的带宽。

收发机芯片在 28 nm CMOS 工艺下成功流片,并进行了测试验证。芯片通过一组差分信道实现了 2×112 Gbit/s 数据传输速率,功率效率为 2.77 pJ/bit (其中发射机为 1.56 pJ/bit,接收机为 1.21 pJ/bit),展示了其成为未来 800 千兆以太网/1.6 太比特以太网中的一种经济高效解决方案的潜力。

(7) Session 8 混合直流/直流转换器

Session 8 中共有 4 篇论文来自中国内地及港澳地区,论文编号分别为 8.1、8.3、8.4 和 8.10。

8.1: 一种用于 AMOLED 显示器,采用简明的 PWM 控制器,峰值效率为 94.5% 的 3.99 W/mm² 功率密度单电感器双极输出转换器^[15]

具有双极输出的直流-直流 (direct current-direct current, DC-DC) 转换器被广泛用于驱动电池供电电子设备中的有源矩阵有机发光二极管 (active matrix organic light emitting diode, AMOLED) 显示屏。为了延长电池寿命并满足显示屏尺寸不断增大的需求,这些转换器应具有高效率和高驱动能力,同时最大限度

地减少印制电路板基底面。与使用 1 个升压转换器和 1 个带有 2 个电感器的反相降压-升压转换器的解决方案相比,单电感器双极输出 (single-inductor bipolar output, SIBO) 转换器只需要 1 个电感器就能产生正输出和负输出,因此在缩小外形尺寸和降低成本方面非常理想。本文介绍了一种混合 SIBO 转换器,它使用 2 个飞电容和简明的脉宽调制 (pulse width modulation, PWM) 控制策略来提高效率和功率密度,同时允许使用小电感。在转换率 $M=2.56$ 的典型条件下,所提出的拓扑结构只需增加 1 个飞电容和 1 个开关,就能将占空比减小 41%。

8.3: 一种锂离子电池输入、1~6 V 输出,无右半平面零点,具有 97.3% 峰值效率、6 μs 恢复时间和 1.13 μs/V 动态电压调节速率的无自举混合升降压转换器^[16]

移动设备中广泛使用升降压转换器将锂离子电池电压转换为各模块需要的特定输出电压,这对升降压转换器能够处理的输出电压范围以及动态电压缩放能力提出了较高要求。右半平面零点的存在会导致转换器动态响应缓慢。针对以上问题,Ruan 等提出了一种无右半平面零点的混合升降压转换器,采用单飞电容和双飞电容拓扑结构,通过消除右半平面零点来提高瞬态响应速度,并且实现了更宽的转换比范围。所提出的转换器在 0.18 μm BCD (bipolar-complementary metal oxide semiconductor- double diffused metal oxide semiconductor) 工艺下实现,实际测试效率高达 97.3%,并且在 2~6 V 输出电压范围之内保持在 92%~95% 以上。转换器在升压和降压模式下均能实现快速的动态响应。

8.4: 一种全开关实现半电压应力,峰值效率达 98.2% 的快速瞬态响应 3 细粒度级别升降压混合型直流-直流转换器^[17]

升降压直流-直流转换器在电池供电设备中发挥着重要作用,锂电池的输出电压随电量减小而降低,其在 2.8~4.2 V 之间波动,而高性能模拟电路则需要较稳定的 3.3 V 电源供电,因此两者之间需要高效率 and 快速瞬态响应的升降压转换器。传统的升降压转换器主要存在两个缺点,一是其 4 个功率开关都需要承受最高额定电压以覆盖输入/输出电压范围,这限制了功率转换效率;二是电路固有的右半平面零点限制了瞬态响应速度。针对以上情况,Zhao 等提出了一种新型拓扑结构升降压转换器 (3-fine-level buck-boost, 3FLBB):(1) 该结构中所有开关所需的最大耐压由 V_{IN} 降低为 V_{IN} 的一半,此时可使用导通阻抗更低的 1.8 V 低压管

来替换 5 V 高压管, 实现更低的损耗, 提高转换效率; (2) 该结构在降压基础上改进而来, 没有右半平面零点问题, 提高了瞬态响应速度。芯片在 180 nm CMOS 工艺下成功流片, 电路仅使用 1.8 V 器件。在输入电压范围为 2.8~4.2 V, 输出电压固定 3.3 V 的测试条件下, 使用 8.5 m Ω 直流电阻电感时, 峰值效率可达 98.2%, 并实现了快速瞬态响应。

8.10: 一种实现 76.4 mW/mg 功率密度和 80% 峰值效率的 5~150 V 输入并联输出串联混合 DC-DC 升压转换器^[18]

超高电压转换率 (voltage conversion ratio, VCR) 直流-直流 (direct current-direct current, DC-DC) 升压转换器对于生物医学、光学、传感和诊断应用至关重要。要实现超高电压转换率, 传统的升压转换器会导致较大的占空比 D 和较大的电感电流 I_L , 从而显著降低能效, 而且其电压转换率还受到寄生电阻的限制。本研究提出了一种混合输入-并联输出-串联的高功率密度超高 VCR 升压型 DC-DC 转换器, 用于小型飞行装置中的静电和压电致动器。由于低 V_{IN} (<5 V)、高 V_{OUT} (>100 V)、高输出功率 (>200 mW) 和高功率密度 (体积 <10 mm³, 质量 <100 mg), 这种转换器非常具有挑战性。研究使用 mW/mm³ 和 mW/mg 作为功率密度单位, 以强调尺寸和重量对飞行机器人的重要性。

(8) Session 9 噪声整形和逐次逼近寄存器型模数转换器

Session 9 中共有 3 篇论文来自中国内地及港澳地区, 论文编号分别为 9.1、9.3 和 9.4。

9.1: 一种 2 mW, 70.7dB SNDR, 200 MS/s 的具有 CT SAR 辅助检测跳过和开-关相关电平移位的流水线式 SAR ADC^[19]

流水线式逐次逼近寄存器 (successive approximation register, SAR) 模数转换器 (analog-to-digital converter, ADC) 在高速、高精度领域有着广泛的应用, 通过缩短子 ADC 的转换时间和提高残差放大器的速度与增益, 可以在保持能效和精度的同时进一步提高流水线式 SAR ADC 的速度。Ye 等提出了 3 种技术来解决提升速度和增益方面的问题: (1) 使用连续时间 (continuous-time, CT)、SAR 辅助检测和跳过技术来实现最重要位的转换与 ADC 采样并行, 将第一阶段的采样与转换时间减少了 35%, 其中 SAR 采用同步逻辑; (2) 提出了一种带有检测和关断回路的开-关相关电平移位技术, 以提高残差放大器的速度和增益, 所设计的残差放大器在工艺、电压和温

度 (process, voltage and temperature, PVT) 变化下实现了 >80 dB 的等效开环增益; (3) 设计了一种混合静态-浮动环形放大器架构, 改善了放大器噪声性能, 并且提升了线性度和稳定性。该 ADC 采用 22 nm 工艺, 达到 177.7 dB 的 Schreier 品质因数 (figure of merit, FoM) 值, 并且在不同电源电压和温度下其信噪失真比 (signal to noise and distortion ratio, SNDR) 的变化小于 2 dB。

9.3: 一种 71 dB SNDR 200 MHz 带宽, 采用共享残差积分放大器, Schreier FoM 达 173 dB 的时间交织 pipe-SAR ADC^[20]

下一代无线标准对宽带宽 (大于 100 MHz) 和高动态范围 (大于 70 dB) 的 ADC 有着很大的需求, 而传统结构 ADC 在性能与效率上都面临着挑战。传统流水线式 ADC 能实现高带宽与高精度, 但其级间放大器需要消耗很高的功耗; pipe-SAR 混合结构可运行 SAR 结构的优势, 实现高精度与更高效率的完美结合, 非常适用于移动设备, 但其转换速率仍受到限制。对此, He 等提出了一种采用共享残差积分放大器的时间交织 pipe-SAR ADC, 其用一个共享的残差积分放大器替代多个残差放大器。它具有 3 个优点: (1) 消除传统残差放大器的复位相, 单个静态运算放大器可以连续工作而不进入空闲状态, 提高了放大器效率; (2) 积分器仅有 1 个反馈电容, 无需来回切换, 简化了设计, 降低了噪声与寄生, 同时实现了一阶噪声整形; (3) 结构中的第二级输出码字需要先经过数字差分后再与第一级输出结合, 实现了对第二级固有的一阶噪声整形效果。ADC 芯片在 28 nm CMOS 工艺下成功流片, 1 V 电源下以 1.6 GS/s 采样率工作时, 功耗为 12.5 mW; 20 MHz 单音输入下信噪失真比 (signal to noise and distortion ratio, SNDR) 与无杂散动态范围 (spurious-free dynamic range, SFDR) 峰值分别为 71.2 dB 与 87.7 dB, Schreier FoM 可达 173.2 dB。

9.4: 一种采用电容退化式共源共栅结构动态放大器和 MSB 预比较技术, 实现 Schreier FoM 为 182.3 dB, 50 MS/s 的流水线式 SAR ADC^[21]

流水线式 SAR ADC 中的残差放大器 (residual amplifier, RA) 可降低后端阶段的噪声要求, 从而使该架构更节能。然而, 要实现高精度, RA 需要很大的增益和很高的线性度。传统的做法是使用闭环放大器来满足这一要求。然而, 要达到足够的带宽以实现稳定, 需要消耗大量的功率。为解决这一问题, 引入了开环放大器以提高能效。然而, 线性度差、增益不足

和输出摆幅有限等特性限制了其应用场景。本研究提出了一种 50 MS/s 的流水线 SAR ADC, 采用级联电容退化动态放大器, 该放大器具有固有线性度并且作为残差放大器提升了增益, 并采用了与绝对温度成正比的偏置电流, 以确保工艺、电压和温度的稳健性。此外, 本研究还提出了最重要位 (most significant bit, MSB) 预转换技术, 以进一步扩展动态放大器的输出摆幅。提出的 ADC 在奈奎斯特输入时实现了 73.9 dB SNDR 和 89.4 dB SFDR, 而功耗仅为 0.36 mW。在具有相同或更高采样率的先进产品中, 达到了 1.78 fJ/conv.-step 的最佳 Walden FoM 和 182.3 dB 的最佳 Schreier FoM。

(9) Session 10 频率综合

Session 10 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 10.7 和 10.9。

10.7: 一种具有 0.051% rms 频率误差、2.3 GHz 啁啾带宽、2.3 GHz/ μ s 啁啾斜率和 50 ns 空闲时间的 11 GHz 二阶 DPD FMCW 啁啾发生器, 采用 65 nm CMOS 工艺^[22]

短程 3D 成像雷达系统是一种用于医疗和安全应用的雷达技术, 频率调制连续波 (frequency modulated continuous wave, FMCW) 啁啾发生器是其中重要的组成模块。为了实现亚毫秒的快照持续时间和亚厘米的深度分辨率, FMCW 啁啾发生器需要产生持续时间 1 μ s 的啁啾, 并且啁啾斜率要超过 15 GHz/ μ s。Wang 等提出了一种 2.3 GHz 啁啾带宽、2.3 GHz/ μ s 啁啾斜率的 FMCW 啁啾发生器。其主要创新点包括: (1) 提出了一种二阶曲线拟合数字预失真 (digital pre-distortion, DPD) 技术, 有效补偿了残余频率误差; (2) 通过改进相位控制技术, 减少大频率跳变时的环路锁定电压波动, 确保了成像质量; (3) 采用积分路径的数字环路滤波器, 实现动态跟踪保持功能。

10.9: 一种基于功能复用 VCO-缓冲区和快速相位对准 Type-I FLL, 可实现 48.3 fs_{rms} 抖动, -253.5 dB FoM_J 与 0.55 μ s 锁定时间的 23.2~26.0 GHz 子采样锁相环^[23]

采用毫米波频段的新兴高速无线通信对本地振荡器 (local oscillator, LO) 提出了严格的抖动要求, 例如使用 256 正交幅度调制的 5G 频率范围在 26 GHz 下要求抖动小于 97 fs, 导致需要使用功耗较高的锁相环。生成低抖动毫米波 LO 的一个直接解决方案是将 10 GHz 下的锁相环 (phase-locked loop, PLL) 与频率乘法器结合, 但先前工作中 PLL 仍需耗费大量功率和

面积的缓冲器来提升输出功率和抑制次谐波尖峰, 从而限制了其低抖动和高抖动功率品质因数 (low jitter and high jitter-power figure of merit, FoM_J)。此外, 子采样 (sub-sampling, SS) PLL 也是直接合成毫米波 LO 的理想选择, 其固有的低带内相位噪声可实现对压控振荡器 (voltage-controlled oscillator, VCO) 相位噪声的广带宽抑制。但 SSPLL 的参考杂散较差, 而且改善 VCO 与 SS 相位检测器之间隔离度的操作又会影响抖动、FoM_J 与面积。此外, 对于捕获范围较窄的子采样相位检测器与 SSPLL, 在亚微秒内实现开关电容搜索与环路建立是一项挑战。对此, Li 等提出了一种低抖动、低杂散、锁定时间达亚微秒的 Type-II SSPLL: (1) 功能复用的 VCO-缓冲区消除了缓冲器中晶体管的噪声和容性负载, 同时改善了 SSPLL 的抖动与参考杂散, 同时其无需高频缓冲区常用的电感, 减小了芯片面积; (2) 低功耗快速锁频环路 (frequency-locked loop, FLL) 具有快速相位对齐功能, 解除了锁定时间对初始相位误差的依赖。PLL 电路在 28 nm CMOS 工艺下成功流片, f_{ref} 为 100 MHz 时, 总功耗为 19.1 mW, 26 GHz 下测得总抖动与参考杂散分别为 48.3 fs_{rms} 与 -66 dBc, 频率从 0.4 GHz 跳变到 2.8 GHz 时的测量锁定时间 \leq 550 ns, FoM_J 为 253.5 dB。

(10) Session 12 用于信息和能量传输的电磁接口集成电路

Session 12 中共有 1 篇论文来自中国内地及港澳地区, 论文编号为 12.4。

12.4: 一种采用了基于数字开关的可重构 16-QAM 反向散射通信技术, 强调高清视频传输, 19 μ W、200 Mbit/s 的物联网标签^[24]

近期在低功耗反向散射调制方面开展的工作使一系列需要中低吞吐量的全新物联网应用成为可能。然而, 要求中高吞吐量的应用仍然依赖毫瓦级的传统无线收发器 (traditional radio transceiver, TRX)。在超低功耗条件下实现频谱高效高吞吐量无线通信的需求仍未得到满足。迄今为止, 能够以高频谱效率, 即正交幅度调制 (quadrature amplitude modulation, QAM), 实现高吞吐量的实用超低功耗反向散射集成电路尚未得到验证, 而新兴的物联网应用 (如用于无线家庭监控的高清视频流) 对数据传输速率的要求比当前的反向散射技术所能满足的要求更高。本文介绍了一种与 2.4 GHz 基础设施配合使用的反向散射集成电路, 在现有技术的反向散射标签中实现了最低能效。(1) 解锁基于数字开关的频率转换 16-QAM 调制器, 实现最高

报告数据速率；(2) 采用多相超低压锁相环，实现最低报告功耗；(3) 实现硬件高效架构，能够在二进制正交相位调制 (binary/quadrature phase shift keying, B/QPSK) 和 16-QAM 之间无缝重新配置调制器，以满足多种无线标准要求；(4) 集成能量检测下行链路接收器，用于唤醒和同步操作。

(11) Session 13 高密度存储和高速接口

Session 13 中共有 1 篇论文来自中国内地及港澳地区，论文编号为 13.5。

13.5: 一种在 28 nm CMOS 工艺下，64 Gbit/(s·pin)，带有存储器接口的合并预加重电容峰值串扰消除方案的 PAM-4 单端发射器^[25]

随着大规模计算和人工智能技术的发展，内存接口对于实现更高的计算吞吐量至关重要。采用脉冲幅度调制 (pulse amplitude modulation, PAM) PAM-4 信令可以提高传输速度，但是相邻通道之间的串扰会变得更加严重，需要找到一种不牺牲引脚效率和发射端 (transmitter, TX) 输出信噪比的 PAM-4 串扰消除技术。Wu 等提出了一种 64 Gbit/(s·pin) 的 PAM-4 单端发射器，通过合并电容峰值技术，减少了 87% 的由串扰引起的抖动，而且没有降低输出摆幅。除此之外，该发射器还使用了可重构抽头分配和分数间隔前馈均衡，提高了通道均衡能力混合 PAM-4 眼图宽度；采用了四相时钟校准，减小面积与功耗的同时提高了时钟质量，减小了发射器的输出抖动。在 28 nm 工艺下，该发射器的功率效率达到了 1.27 pJ/bit。

(12) Session 14 用于系统适应性、电源管理和时钟控制的数字技术

Session 14 中共有 3 篇论文来自中国内地及港澳地区，论文编号分别为 14.2、14.7 和 14.8。

14.2: 一种应用于 28 nm CMOS 多核处理器，采用基于电流电压预测的双比例微分控制主动式片上电压陡降缓解方法^[26]

多核处理器工作负载的剧烈变化会引起严重的动态电压压降，包括 100 mV/10 ns 左右的一阶陡降，以及使用多核执行指令时频繁的周期性电压降低。先前工作在负载活动变化与电压检测事件之间存在几个周期的延迟。对此有人提出了一些前瞻性设计，用于在发生掉电时甚至之前对功率进行预测，例如先进的在线功率学习优化基于关键信号切换来进行功率估计。然而，功率下降不仅由负载电流变化决定，还受到当前电压、封装电感、片上和电路板去耦电容和电阻决定的功率传输网络 (power delivery network, PDN) 的

影响。因此，以往前瞻性方法在预测精度上存在挑战，即缺少合适的掉电缓解方法。对此，Shan 等基于片上 PDN 模型，提出了一种使用双比例微分 (proportional-derivative, PD) 控制的时钟门控主动掉电抑制方法，其同时考虑了运行时的预测电流与电压：(1) 提出了一种基于机器学习选择信号翻转的预测数字功率计，提前预测一个周期的动态电流；(2) 通过片上 PDN 建模、基于电压控制振荡器的电压传感器以及预测电流来预测片上电压；(3) 通过对预测的电流与电压进行主动双 PD 控制，实现即时的工作负载响应，以缓解电压陡降。该方案在具有 8 个并行 RISC-V 核与 1 个 28 nm CMOS 控制核的并行超低功耗片上系统上实现，其可减少一阶电压陡降与周期性掉电，使最大掉电从 132.9 mV 降至 87.7 mV，仅因时钟门控造成 0.6% 的性能损失。

14.7: 一种基于 28 nm CMOS 工艺，采用电压模式相位互调器，实现 0.45 V、0.72 mW、2.4 GHz 无偏置电流的小数 N 分频混合 PLL^[27]

低压时钟产生和调制对于低功耗片上系统设计的动态电压扩展或使芯片直接由物联网应用的能量收集器供电非常重要。尽管整数 N 分频锁相环 (phase-locked loop, PLL) 的电源电压已达到 0.4 V，但在 0.5 V 以下设计稳健的小数 N 分频 PLL 仍然具有挑战性，因为在低电压下需要高性能的相位检测器和有效的 $\Delta\Sigma$ 量化噪声 (Q 噪声) 降低方法。鉴于在实践中需要使用具有电源调节功能的大型去耦电容器来实现稳健的带内噪声性能，有人提出一种时间交错触发器相位检测器 (time-interleaved flip-flop phase detector, TI-FFPD)。作为一种高效的相位检测器结构，其基于环形电压控制振荡器的整数 N 分频 PLL 实现了高线性度和低参考杂散。利用 TI-FFPD 的优势，本文提出了一种低于 0.5 V 的无偏置电流小数 N 分频 PLL，该 PLL 具有用于 Q 噪声消除的无校准电压模式相位内插器，在 2.4 GHz 输出时可实现低于 600 fs_{rms} 的抖动和 <-57 dBc 的较差情况分数杂散。

14.8: KASP: 一种具有 96.8% 10-关键词准确度和 1.68 μ I/分类能效，使用自适应波束形成和渐进唤醒功能的关键词识别和说话者验证处理器^[28]

关键词识别 (keyword spotting, KWS) 处理器在各种智能场景下有着广泛的应用，但是现有的 KWS 处理器存在以下问题：对人声噪声敏感、不能充分利用特定领域的特征，而且不支持没有特定训练的多用户说话者验证。为了解决这些问题，Xiao 等提出了一种

高精度、超低能耗的 KWS&SV 处理器 (keyword spotting and speaker verification processor, KASP), 通过动态可重构的 KWS 和说话者验证 (speaker verification, SV) 处理架构, 支持 KWS 驱动的自适应到达方向 (direction of arrival, DoA) 估计和波束形成, 以提高噪声环境下的准确度。本文创新点包括: (1) 采用自适应 DoA 频率通道选择技术和轻量级频域波束形成技术来减少能耗与硬件开销; (2) 提出四阶渐进唤醒处理架构和 KWS 感知自适应语音活动检测技术, 在降低能耗的同时提高了不同信噪比下的准确性; (3) 提出基于 Lite-X-Vector 的 SV 技术, 支持多用户说话者验证, 且不需要用户特定训练。

(13) Session 15 嵌入式存储器和伊辛计算

Session 15 中共有 1 篇论文来自中国内地及港澳地区, 论文编号为 15.1。

15.1: 一种用于软件定义网络交换的 0.795 fJ/bit 物理上不可克隆的功能保护 TCAM^[29]

随着物联网设备的激增, 软件定义网络 (software-defined networking, SDN) 因其灵活性而得到越来越多的应用, 可以通过定制交换机中的流量规则来适应不同类型的应用。三值内容寻址存储器 (ternary content addressable memory, TCAM) 是 SDN 交换机的关键部件, 其收集所有路由流规则。但是在 SDN 系统中运用传统 TCAM 存在 3 个挑战: (1) TCAM 的功耗较高, 因为其每次搜索都要激活整个阵列, 而且位单元使用独立的存储 (6 晶体管) 和比较 (2~4 晶体管) 晶体管, 因此面积效率较低; (2) TCAM 需要较长的延时来更新存储的规则, 这与网络协议的更新延迟要求不匹配; (3) TCAM 容易受到路由相关的攻击, 如果没有复杂的识别技术, 攻击者可以很容易地伪造一个恶意节点。对此, Yue 等提出了一种面向 SDN 的 TCAM 设计, 其具有 3 个关键特征: (1) 通过基于 6 晶体管静态随机存取存储器 (static random access memory, SRAM) 的紧凑单元实现能量与面积上高效的搜索; (2) 通过解耦优先级更新机制实现渐进式流量规则更新; (3) 根据固有存储器阵列生成物理不可克隆函数 (physically unclonable function, PUF) ID, 以保护 TCAM。芯片在 28 nm 下成功流片, 与早期 TCAM 的工作相比, 本工作采用标准 6 晶体管作为基本单元, 并将比特密度提高了 1.92~5.16 倍, FoM 提高了 1.19~11.14 倍。该 TCAM 的多行激活特性可配置为 PUF, 以保护 SDN 交换机安全, PUF 比特流通过了美国国家标准与技术研究院的随机性测试, 平均 p 值 >

0.000 8。

(14) Session 16 安全: 从处理器到电路

Session 16 中共有 1 篇论文来自中国内地及港澳地区, 论文编号为 16.2。

16.2: 一款 28 nm、69.4 kOPS、4.4 μ J/Op 通用后量子跨多个数学问题的加密处理器^[30]

后量子加密技术 (post-quantum cryptography, PQC) 正在逐渐发展以确保通信和交易安全, 应对即将到来的量子威胁, 同时美国国家标准与技术研究院正在对 3 种密钥封装机制和 1 种数字签名方案进行标准化。然而, 大多数现有的 PQC 加速器只是根据独特的数学问题为特定算法定制的。最新的可配置 PQC 处理器不支持正在起草标准化的 Falcon 和 Sphincs+。为了解决这个问题, 本文提出了一种 28 nm 的多功能 PQC 处理器, 它具有 3 个主要特点: (1) 基于任务聚类架构, 可通过积极的并行性进行可扩展处理; (2) 基于区域的任务路径, 具有动态更新功能, 可实现敏捷的加密计算; (3) 高效的 PQC 任务操作器, 包括散列/采样、格式、浮点/复数和编码/解码运算符, 进一步提高吞吐量和能效。基于这些贡献, 拟议的芯片支持美国国家标准与技术研究院的 PQC 标准化中的所有主流方案, 同时与最先进的设计相比, 吞吐量和能耗延迟分别提高了 44.6% 和 10.3%。

(15) Session 17 新兴感知计算技术

Session 17 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 17.2 和 17.9。

17.2: 一种采用高电压 SOI ASIC, 可实现 134.4 dB 图像信噪比和 173 μ m \times 250 μ m \times 103 μ m 分辨率的微型多核 NMR/MRI 平台^[31]

基于核磁共振 (nuclear magnetic resonance, NMR) 的核磁共振成像 (magnetic resonance imaging, MRI) 是当代医学不可或缺的工具。而多核核磁共振成像技术的出现, 如使用全氟碳化物纳米粒子的 $^1\text{H}/^{19}\text{F}$ 成像技术, 可以在一次成像中详细描述解剖和分子信息。复合射频脉冲是相位与幅度调制射频激励的组合, 其对于多核 NMR/MRI 至关重要, 可将非共振效应降至最低; 此外, 还能通过实现相干激励来克服静态和射频磁场强度的不均匀性。然而微型多核 NMR/MRI 面临以下挑战: (1) 复合射频脉冲要求相位分辨率小于 1° , 大多数已报道的紧凑型 NMR/MRI 无法达到这一要求; (2) 由于采用高电压激发脉冲, 使用同一线圈进行激励/记录的 NMR 需要开关来保护接收器。对此, Fan 等报告了首个集成 0.52 T 永磁体、射频线圈和高电压专

用集成电路 (application-specific integrated circuit, ASIC) 的微型多核 NMR/MRI 平台, 有助于多核成像以提供互补信息。结构具有两方面的创新: (1) 采用基于双延迟锁定环 (delay-locked loop, DLL) 的 512 相脉冲发生器, 具有相位插值功能, 可实现 0.7° 的相位分辨率, 以合成不同的高级复合脉冲; (2) 集成了高压开关, 可在激励期间保护 RX 不受射频线圈上存在的高压影响。该设计在 180 nm 高电压硅绝缘体上集成电路 (silicon-on-insulator, SOI) 工艺下成功流片, 提出的 MRI 平台可以在 $12\text{ mm}\times 12\text{ mm}\times 12.6\text{ mm}$ 的视场范围上重建物体结构, 其分辨率为 $173\text{ }\mu\text{m}\times 250\text{ }\mu\text{m}\times 103\text{ }\mu\text{m}$, 信噪比为 134.4 dB。

17.9: 一种结合了传输计算说话人验证、混合域计算和可扩展 5T-SRAM 的 1.8% FAR、2 ms 决策延迟和 1.73 nJ/决策的关键词识别芯片^[32]

超低功耗关键词识别 (keyword spotting, KWS) 芯片对于边缘设备提供语音触发交互至关重要。最近的 KWS 芯片通过算法和硬件之间的共同优化, 成功地提高了系统的准确性和能效。然而, 它们的误报率 (false acceptance rate, FAR) 仍然很高, 在 7.2%~13% 之间, 导致用户体验不满意。使用说话者验证 (speaker verification, SV) 辅助 KWS 可以大大降低 FAR, 因为大多数 KWS 交互都来自设备中注册的目标用户。不过, KWS + SV 的联合计算会大大增加模型参数和功耗预算, 同时延长决策延迟。提出的 KWS 芯片在 2 ms 的决策延迟内实现了 91.8% 的 12 级准确率和 1.8% 的 FAR。关键技术包括: (1) 转移计算 SV 辅助 KWS, 可压缩所需参数并提高 KWS+SV 的计算效率; (2) 混合域计算, 可同时处理模拟和数字输入特征, 减轻了第 1 层计算能力和系统精度之间的权衡; (3) 可扩展的 5 晶体管静态随机存取存储器阵列, 有利于在降低泄漏功率和读取功率的情况下进行自我升级。

(16) Session 19 RF 到毫米波范围振荡器和频率倍增器

Session 19 中共有 4 篇论文来自中国内地及港澳地区, 论文编号分别为 19.2、19.3、19.4 和 19.5。

19.2: 一种采用幅相协调技术的效率为 12.4%, 饱和输出功率为 11 dBm, 奇次谐波回收, 62~92 GHz CMOS 四倍频器^[33]

毫米波频段在 5G/6G 通信、汽车雷达和高分辨率成像等领域有广泛的应用, 这些系统需要高效率、大带宽、高输出功率和低相位噪声的倍频器。传统的频率四倍器, 如级联推挽、堆叠吉尔伯特单元和相位控

制推挽结构虽然在某些方面表现出色, 但是在效率和带宽方面存在局限。为了同时实现高效率、大带宽和高输出功率, Lin 等提出了一种奇次谐波回收 (odd harmonic recycling, OHR) 结构的四倍频器, 利用平衡平方律混频器回收奇次谐波, 并通过幅度相位协调技术进一步提高输出功率、转换效率和偶次谐波抑制。最后所设计的四倍频器在 40 nm CMOS 工艺下实现, 达到了 12.4% 的峰值效率、39% 的 3 dB 功率带宽和 11 dBm 的输出功率, 实现了显著的性能提升。

19.3: 一种 8.9~21.9 GHz, 具有可配置的 F-1 级和增强型 Colpitts 双模工作模式, 可实现 209 dBc/Hz FoM_T 的单核振荡器^[34]

单芯片上集成多标准或软件定义无线电收发器的新兴需求需要有倍频程覆盖范围的振荡器信号, 以实现无缝全频段合成。尽管目前的大多数解决方案都依赖于多个振荡器的配置, 但对至少能提供倍频程频率调谐范围和低相位噪声 (phase noise, PN) 的单电感-电容 (inductor-capacitor, LC) 压控振荡器 (voltage-controlled oscillator, VCO) 的需求十分强烈。最近的研究广泛探索了多核多模操作, 以大幅扩展 LC VCO 的频率调谐范围, 其最主要的优点是通过对多个相同的 VCO 内核耦合在一起, 从而改善 PN, 但这需要以功耗为代价。此外, 通过有效抵消流经金属氧化物半导体场效应晶体管开关的电流, 可以避免模式切换而造成任何明显损耗, 然而仍有几种不可避免的机制会降低等效品质因数, 从而影响性能。对此, Kang 等提出了一种单核双模 VCO, 其可以实现连续倍频程频率调谐范围 (frequency tuning range, FTR), 同时将品质因数 FoM_T 退化降到最低。VCO 拓扑可在两种不同模式之间重新配置, 一种是差分模式, 采用 F⁻¹ 类操作, 用于脉冲敏感函数整形; 另一种是共模 Colpitts 振荡器, 具有增强的摆幅。除了 F⁻¹ 类差分和增强型 Colpitts 共模振荡外, VCO 还得益于漏极至栅极电压增益提升, 有助于抑制两种工作模式下的晶体管噪声。因此, 可以在宽 FTR 范围内最大限度地降低 PN 劣化, 从而提高 VCO 的整体性能。振荡器在 40 nm CMOS 工艺下成功流片, 10 MHz offset 下测得的 PN 在 -138.6~-131.1 dBc/Hz 之间, FoM_T 在 203.3~209.0 dBc/Hz 之间。

19.4: 一种 0.07 mm², 在 65 nm CMOS 中实现 189.2 dBc/Hz FoM@10 MHz 和 200.7 dBc/Hz FoM_A, 采用磁耦合和双注入耦合技术, 20.0~23.8 GHz 的 8 相振荡器^[35]

在调制方案日益复杂的情况下, 具有低相位噪声和低相位误差的多相本地振荡器是高数据速率无线收发器的基石, 分频、多相滤波器和环形振荡器是射频多相本地振荡器生成的常用拓扑结构。将环形振荡器的多相特性与高质量电感-电容谐振器相结合, 是毫米波本地振荡器生成中实现低相位噪声(phase noise, PN)和低相位误差的一个方向。为了克服 PN 和相位误差之间的权衡, 同时提高面积效率, Zhao 等介绍了一种采用磁耦合和双注入耦合的 8 相毫米波振荡器。该毫米波振荡器在风车整形变压器中集成了一个 4 核振荡器, 从而通过基于变压器的磁耦合产生 8 相输出, 还利用固有的多相输出, 通过级联尾部注入晶体管实现双注入锁定。此举加强了 4 核耦合, 同时实现了噪声循环以降低 PN。该 8 相振荡器采用 65 nm CMOS 工艺, 相位误差小于 1.5° 。在 17.4% 的调谐范围 (20.0~23.8 GHz) 内, 偏移 10 MHz 时的 FoM 为 189.2 dBc/Hz, FoM_A 为 200.7 dBc/Hz, 与现有技术相比毫不逊色。

19.5: 一种采用振荡模式分离技术的 13.7~41.5 GHz、214.1 dBc/Hz FoM_T 4 核 4 模压控振荡器^[36]

为了满足 5G 无线通信、软件定义无线电和高速有线数据链路等应用的需求, 需要具有低相位噪声和宽频率调谐范围的电压控制振荡器。由于没有射频电流流经有损模式开关, 多模多核技术减少了开关导通电阻与关断电容之间的权衡, 其能够在不增加额外电容的情况下实现更宽的频率调谐范围, 并且可以达到更好的相位噪声性能。Ge 等提出了一种 4 核 4 模压控振荡器, 通过模式分裂技术创建 4 个有效电感值, 最小化附加寄生电容, 并减少了 FoM 降级。本设计采用了辅助耦合罐和主罐的相对电流方向提供额外的电感设计空间, 实现了超宽带连续频率调谐范围。该压控振荡器在 65 nm CMOS 工艺下设计和制造, 最终测得频率调谐范围为 13.7~41.5 GHz (101%), 相位噪声在 10 MHz 偏移处在 $-133.2 \sim -124.4$ dBc/Hz 之间变化, FoM 在 194.0~184.4 dBc/Hz 之间变化, FoM_T 在 214.1~204.5 dBc/Hz 之间变化。

(17) Session 20 机器学习加速器

Session 20 中共有 1 篇论文来自中国内地及港澳地区, 论文编号为 20.2。

20.2: 一种基于 28 nm 工艺, 利用扩散模型去噪相似性的 74.34 TFLOPS/W BF16 异构 CIM 加速器^[37]

在图形合成中, 扩散模型(diffusion model, DM)表现屡创新高, 已成为一类强大的生成模型。由纯高斯随机变量生成的噪声图像需要通过迭代 DM 去噪以

确保生成质量。相邻的两张去噪图像会带来类似的视觉效果, 同一位置的像素之间的差异非常小。因此, 对于两个相邻的 DM, 同一层内的大部分输入差异(ΔIN)始终集中在一个很小的范围内, 这表明大部分 ΔIN 可以量化为整型数据, 其余的 ΔIN 值相对较大, 其分布因迭代 DM 而异。为确保生成质量, 一个完整的 ΔIN 张量被分为密集的整数(integer, INT)张量和稀疏的浮点数(floating point, FP)张量。而内存计算(computation in memory, CIM)在 INT 乘法累加(multiply and accumulate, MAC)上显示出较高的吞吐量和能效, 证明了其高效处理 ΔIN 的潜力。然而, 先前的 CIM 芯片在以低功耗将设备上图像生成速度提高到秒级方面面临挑战。对此, Guo 等提出了一种异质 CIM 芯片, 用于处理密集 INT- ΔIN 和稀疏 FP- ΔIN , 以加速 DM。该芯片具有 3 个特点: (1) 设计了一个符号幅度为 radix-8 Booth 符号幅度布斯(sign-magnitude booth, SMB) CIM 宏, 减少了周期数与比特乘法, 降低了功耗; (2) 设计了一个 4 操作数指数 CIM 宏, 在尾数处理引擎辅助下可高效处理 FP 数据; (3) 提出了一种内存冗余-搜索限制技术。芯片在 28 nm 工艺下成功流片, 典型情况下 BF (brain floating point) 16 的峰值系统能耗为 74.34 TFLOPS/W。

(18) Session 21 音频放大器

Session 21 中共有 1 篇论文来自中国内地及港澳地区, 论文编号为 21.2。

21.2: 一款 0.81 mA、-105.2 dB THD+N 的 D 类音频放大器, 具有电容前馈和 PWM 偏移抑制功能, 可实现宽带有效线性改进^[38]

在 D 类音频放大器(class-D audio amplifier, CDA)中, 功率级和脉宽调制器的非线性是追求高保真音频输出的主要挑战。失真通常由具有高带内环路增益的闭环拓扑结构来抑制。然而, 由于环路增益的滚降, CDA 的总谐波失真加噪声(total harmonic distortion plus Noise, THD+N)在高频时往往会增加。另一个失真来源是高频脉宽调制(pulse width modulation, PWM)残差的混叠, 它限制了 THD+N 的最小值。本研究介绍了一种高精度、高能效的 CDA, 通过 3 种技术解决 PWM 调制和残差混叠产生的失真: (1) 电容前馈路径, 以减轻比较器延迟引起的输入相关失真; (2) 带传递函数恢复的二阶 PWM 残余混叠失真, 以实现更陡峭的滤波和更宽频带的线性改进; (3) 无源反 PWM 混叠滤波, 以合理的硬件成本进一步消除 PWM 残差。因此, 带有二阶低频的拟议 CDA 实现了最先进的 THD+N

为-105.2 dB, FoM_{THD+N} 为 2 119, A 加权信噪比为 112 dB, FoM_{SNR} 为 4 661。此外, CDA 还能在 5.5 V 电源下为 8Ω 负载提供 1.76 W 的最大输出功率。

(19) Session 22 高速模数转换器

Session 22 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 22.1 和 22.4。

22.1: 一种 12 GS/s 12 位 4 倍时间交织流水线模数转换器, 具有全面校准的 TI 误差和线性化输入缓冲器^[39]

时间交织 (time interleaved, TI) 是实现高速高精度模数转换器最有效的方法, 为了达到更低功耗和更大输入范围, 通道数和前端元件数应该尽量最小化。射频直接采样可以简化模拟前端设计, 提高系统灵活性。传统的校准方法无法全面矫正所有偏差, Cao 等提出了一种全局抖动注入的综合校准方法 (comprehensive calibration with time interleaving, CCTI), 通过全局注入抖动, 避免了传统方法中的盲区问题, 如信号路不匹配和采样开关不匹配。而且 CCTI 具有输入独立的特性, 不受输入信号影响, 在达到高能效的同时实现了高线性度和低功耗。本设计还采用自适应电流补偿单元线性化输入缓冲器, 进一步提高了线性度和能效。在 28 nm 工艺下, 所设计的模数转换器达到 12 bit, 转换速度达到 12 GS/s, 功耗仅为 179.8 mW。

22.4: 一种 4.8 GS/s 7-ENoB, 具有基于抖动的后台时偏校准和基于比特分布的后台 Ping-Pong 比较器偏移校准的 TI-SAR ADC^[40]

高速中等分辨率模数转换器 (analog-to-digital converter, ADC) 在宽带应用中的需求量很大, 其中时间交织 (time interleaved, TI) - 逐次逼近寄存器 (successive approximation register, SAR) ADC 因其出色的能效而得到广泛应用。然而 TI ADC 存在时偏失配问题, 严重影响了其性能。先前的一些后台时偏校准, 其检测时偏误差的方法对于输入信号有限制, 对此, 一些工作尝试提出适用于所有类型输入信号的时偏误差检测方法, 但仍然存在残余时偏误差和引入失真的问题。为了消除残余时偏误差与失真, 同时保持对所有类型输入信号的适用性, Tao 等提出了一种新型后台时偏校准方法, 其在输入缓冲区中注入一个抖动参考时钟。

此外, 加速 SAR ADC 对于实现高速 TI-SAR ADC 也十分重要, 先前工作提出了一种 Ping-Pong 比较器技术, 可以大大提高速度, 但其存在比较器偏移失配问

题, 导致需要额外的校准。对此, Tao 等还提出了一种基于比特分布的新型后台 Ping-Pong 比较器偏移校准技术, 与先前工作比较, 此技术能实现更短的转换时间与更低的量化噪声。ADC 芯片于 28 nm CMOS 工艺下成功流片, 在 4.8 GS/s 时功耗为 10.4 mW, 经过校准后, TI-ADC 的信噪失真比与无杂散动态范围分别由 33.4 dB 和 37.4 dB 提高到 44.3 dB 和 58.2 dB, 与单通道信噪失真比与无杂散动态范围接近。

(20) Session 23 高能效连接无线电

Session 23 中共有 3 篇论文来自中国内地及港澳地区, 论文编号分别为 23.1、23.3 和 23.4。

23.1: 一种采用软件定义调制实现 1 μ s 同步精度和 OFDMA 并发通信的 44 μ W 物联网标签^[41]

后向散射标签在将超低上传数据速率物联网设备的功耗从毫瓦降低到数十微瓦方面具有优势。以前的后向散射集成电路通常采用码字转换, 并依赖于入射信号是符合 802.11b 标准的调制波, 或利用入射单音的后向散射调制来生成符合既定标准的信号。迄今为止, 还没有一项现有研究能够支持无碰撞多标签传输, 同时保持微瓦级功耗。Shen 等介绍的反向散射集成电路利用正交频分多址 (orthogonal frequency division multiple access, OFDMA) 和软件定义调制方案展示了并发传输能力。它使反向散射标签能够与正交子载波一起工作, 从本质上避免了标签间干扰, 实现了无碰撞的多标签传输。集成电路的 OFDMA 支持通过两步同步实现: 第一步, 通过唤醒接收器与低信令速率唤醒包进行粗同步; 第二步, 通过高性能同步接收器与高信令速率同步帧进行精确同步。最后, OFDMA 反向散射调制是通过移动入射单音的频率, 使其与指定的子载波对齐, 并根据存储在存储器中的参数值进行调制。

23.3: 一种无源无晶体 Wi-Fi 至 BLE 标签, 演示与智能手机的无电池 FDD 通信^[42]

传统的蓝牙低功耗 (bluetooth low energy, BLE) / Wi-Fi 兼容物联网 (internet of things, IoT) 设备需要毫瓦级的电源供应, 限制了设备寿命并且增加了硬件成本。近年来, 基于反向散射通信的无源 IoT 标签因不需要电池成为低功耗低成本 IoT 应用的良好选择。然而, 现有的无源 IoT 标签存在一些缺点, 如需要专用的连续波信号源、依赖晶体时钟以及只能进行单工或半双工通信。Chang 等提出了一种无晶体的 Wi-Fi 到 BLE 标签, 能够与智能手机进行频分双工 (frequency division duplexing, FDD) 通信, 解决了上述问题。本文的创

新点在于提出了一种相位翻转跟踪技术,用于解调 Wi-Fi 信号,实现智能手机到标签的下行通信和无晶体时钟恢复,并且整个系统在 FDD 通信期间的功耗仅为 $17 \mu\text{W}$ 。

23.4: 一种 $167 \mu\text{W}$, 71.7 dB-SFDR 2.4 GHz , 使用无源正交前端、双边双平衡级联混频器和双变压器耦合 D 类压控振荡器的 BLE 接收机^[43]

蓝牙低功耗接收机从传统的有源射频前端发展到最新的无源射频前端,旨在提高功率效率。这种无源密集型设计主要由电感、电容和开关组成,可以大幅节省功耗并获得更好的线性度,同时能满足短距离物联网连接的噪声系数 (noise figure, NF) 要求。然而此时同相与正交 (in-phase and quadrature, I/Q) 本地振荡器生成仍然是降低功耗的瓶颈,因为其主要涉及双频压控振荡器、二分频器和本地振荡器缓冲器。对此,Shao 等提出了一种新型 2.4 GHz 接收机:(1) 采用无源正交前端 (quadrature front-end, QFE) 提供射频增益,实现鲁棒的宽带 I/Q 生成与输入匹配;(2) 采用双边双平衡级联混频器实现高增益,抑制基带噪声;(3) 采用双变压器耦合 D 类压控振荡器,实现超低功耗;(4) 采用混合低中频滤波器,在相邻通道具有高隔离。BLE 接收机芯片在 28 nm CMOS 工艺下成功流片,包括压控振荡器在内其功耗为 $167 \mu\text{W}$,最大射频到中频增益为 71 dB ,最大增益下 NF 为 8.5 dB 。

(21) Session 24 D 频段/亚太赫兹无线传输和传感

Session 24 中共有 2 篇论文来自中国内地及港澳地区,论文编号分别为 24.1 和 24.2。

24.1: 一种基于 28 nm CMOS 工艺实现 18 dBm P_{sat} 的 $90 \sim 180 \text{ GHz}$ APD 集成发射机^[44]

太赫兹频段具有极宽的带宽,非常适合使用简单的调制方案,如使用振幅偏移键控 (amplitude shift keying, ASK) 进行超高数据速率通信。通过避免使用复杂的调制方案,可以简化太赫兹系统架构,降低模拟混合信号处理元件 (包括高速多位模数转换器和数模转换器) 的复杂性。在该工作中,片上模拟预失真 (analog pre-distortion, APD) 被集成到 ASK 发射器中,提高了系统线性度,无需均衡 (equalizer, EQ) 即可实现稳健的高速非归零 (non-return-to-zero, NRZ) 和 4 级脉冲幅度调制 (pulse amplitude modulation 4-level, PAM-4) 无线通信。此外,还利用自屏蔽负载开路变压器和四阶电感-电容梯形功率合路器,支持 $90 \sim 180 \text{ GHz}$ 的倍频程带宽,提供超过 15 dBm 的平均输出功率。此外,利用最大输出功率阻抗匹配方法开发了

一种紧凑型片上行波振荡器。该振荡器在 130 GHz 频率下 (无缓冲器) 输出功率达到 3.5 dBm ,直流消耗功率仅为 27 mW ,可直接驱动 APD 调制器并降低系统功耗。通过采用这些片上设计方法和板载超材料 15 dBi Vivaldi 天线,在 130 GHz 的 1 m 距离内实现了 16 Gbit/s 无线数据传输速率,误码率小于 1×10^{-11} 。

24.2: 一种可拓展的 $134 \sim 141 \text{ GHz}$ 16 元 CMOS $2\text{D } \lambda/2$ 间距相控阵^[45]

利用 $>100 \text{ GHz}$ 频谱可显著增强未来 5G/6G 无线接入网络的容量,但需要大规模 CMOS 相控阵以克服 $30 \sim 40 \text{ dB}$ 的路径损耗。大规模 CMOS 相控阵的设计目前还面临着可拓展性、阵列间距和直流电 (direct current, DC) 到射频转换效率和成本等方面的挑战。Zhang 等提出了一种可扩展的中频波束成形方案,利用行波本振/中频 (local oscillator/intermediate frequency, LO/IF) 分配网络,实现灵活的 2D 阵列扩展;每个通道采用次采样三倍频器,解决了 LO 衰减问题并提高了 DC 效率;还设计了一种带有非对称 H 形贴片的三重谐振片上天线,显著减少了天线面积,实现了 $\lambda/2$ 间距。在 138 GHz 下, 4×4 $2\text{D } \lambda/2$ 间距相控阵实现了 26 dBm 的峰值等效各向同性辐射功率,并在 10 m 距离内成功传输 14 Gbit/s 的 16-QAM 信号,误差矢量幅度为 9.8% 。

(22) Session 26 显示和用户交互技术

Session 26 中共有 1 篇论文来自中国内地及港澳地区,论文编号为 26.5。

26.5: 一种 $977 \mu\text{W}$ 具有噪声免疫激励源和直接锁定 ADC,能效可达 25.2 pJ/step 的电容式触摸传感器^[46]

电容式触摸系统在移动设备、台式 PC 和交互白板等众多应用中发挥着重要作用。在系统中,各种噪声带来了巨大挑战,使得系统难以在保持良好能效的同时实现高信噪比。Feng 等提出了一种新型电容式触摸传感器:(1) 提出了一种噪声免疫激励源,激励信号被精确放置于 4 个低频零点上,而触摸系统的各种噪声被设计在零点之间,通过正确选择采样频率,系统噪声将被掩埋在激励源的宽带截断噪声中;(2) 提出了一种直接锁定 ADC,其无需传统结构中的带通滤波器、混频器和低通滤波器,ADC 同样采用带通噪声整形,且具有与激励源相同的噪声传递函数零点。因此,在整个信号链中,激励信号始终与噪声传递函数的零点重合,从而获得较高的信噪比。芯片在 65 nm CMOS 工艺下成功流片,功耗为 $977 \mu\text{W}$,系统在过采样比 (oversampling ratio, OSR) 为 1.5 V ,在 2 V 驱动电压下可实现 58.9 dB 平均信噪比,实现了 25.2 pJ/step 的能

量效率。

(23) Session 27 无线能量

Session 27 中共有 3 篇论文来自中国内地及港澳地区, 论文编号分别为 27.1、27.2 和 27.5。

27.1: 一款差分混合型 ED 类功率放大器, 最大功率为 27 W, 峰值端到端效率为 82%, 适用于无线快速充电产品^[47]

带有无线充电功能的便携式移动电源在市场上很受欢迎, 其目标是提供随身携带的无线充电体验。然而, 来自电池的低输入电压和耦合线圈的大等效串联电阻限制了设备到设备无线充电的充电功率和效率, 使其难以同时实现高功率和高效率。D 类和 E 类功率放大器 (power amplifier, PA) 是无线功率发射器的典型解决方案, 氮化镓器件因其出色的导通电阻和栅极电荷 (resistance-on and gate charge, $R_{ON}Q_G$) 特性而成为理想的候选器件。不过, 与金属-氧化物半导体场效应晶体管 (metal-oxide-semiconductor field-effect transistor, MOSFET) 相比, 氮化镓器件仍然存在成本相对较高, 以及栅极驱动路径上的寄生效应所带来的可靠性问题。此外, 在没有体二极管的情况下, 氮化镓场效应晶体管的反向传导损耗远大于 MOSFET。因此, 它需要闭环控制来实现精确的零电压开关 (zero voltage switching, ZVS), 从而增加了设计的复杂性。非对称设置功率放大器可将 V_{AC} 提升到 20 V 以下。实现 ZVS 需要很大的电感电流纹波, 会造成过高的磁芯损耗, 并引入较大的 di/dt 噪声。Mao 等提出的功率放大器具有一个与 E 类功率放大器类似的电感器, 并具有一对高压侧 (S_2) 和低压侧 (S_1) 开关。此外, 它还结合了 E 类和 D 类的优点, 再加上混合转换概念。因此, 将其命名为混合型 ED 类 PA。

27.2: 一种 6.78 MHz、79.5%峰值效率, 采用无线模式识别技术和全开/关 D 类功率放大器的无线功率传输系统^[48]

无线电力传输系统在植入设备和便携电子产品中越来越受欢迎。这些系统通过接收端局部电压调节和发射端全局功率调节来提高端到端效率。现有方法存在成本高、瞬态响应差及负载调节差等问题。Ge 等提出了一种无线模式识别技术, 结合全开/关 D 类功率放大器, 通过完全激活或关闭功率放大器, 优化了轻载效率, 实现了全局功率调节和紧密的本地电压调节, 通过检测反射等效电阻的变化来提取接收端的脉宽调制信号, 并用于控制发射端的功率放大器, 实现轻载功率的高效传输。系统在轻负载下的效率提高了

20.1%, 并在 8 mm 线圈距离下达到了 79.5%的峰值效率。该技术消除了接收器-发射器通信所需的离片组件, 优化了轻负载效率。

27.5: 一种基于相移/时间常数检测和混合传输功率控制, 在耦合系数在 0.1~0.39 之间时效率最高可提升 27.9%的无线能量传输系统^[49]

无线能量传输是一种为具有防水防尘功能的可穿戴与便携设备供电的便携方法, 其中端到端效率 η_{E2E} 是系统的关键指标。目前, 无线电力传输 (wireless power transfer, WPT) 接收器的紧凑高效解决方法为可重构谐振调节整流器, 其通过在充电与放电模式之间配置整流器来调节输出。在轻载条件下, 接收器大部分时间处于放电模式, 此时若发射器发射功率固定, η_{E2E} 将会严重降低。检测接收模式, 同时自适应调节发射器发射功率是实现高效率 WPT 所面临的挑战。Chen 等提出了一种新型 WPT 系统: (1) 采用混合负载移位键控检测, 其包括相移检测和时间常数检测, 以保证不同机电耦合系数 k 下模式检测的正确性; (2) 采用了包含切换尺寸的功率 MOSFET 和 1/15 密度脉冲密度调制 (pulse density modulation, PDM) 的混合传输功率控制, 在轻载条件下实现了更高的效率提升。芯片采用 180 nm CMOS 工艺, 系统的峰值 η_{E2E} 可达 74.3%, 同时 η_{E2E} 最大提升率可达 27.9%。

(24) Session 28 高密度电源管理

Session 28 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 28.2 和 28.3。

28.2: 一种带充电汇流阶段的 12 V 输入, 1.0~1.8 V 输出, 94.7%峰值效率, 685 A/cm² 电流密度混合直流-直流转换器^[50]

具有高效率和高电流密度的大电压转换比直流-直流转换器 (如 12 V 转换至 1.0~1.8 V) 对于工业和汽车应用至关重要。传统的降压转换器必须使用高压晶体管, 这会产生较大的功率损耗, 而笨重的电感则会占用大量的电路板面积, 导致效率和电流密度大打折扣。混合转换器的最新进展为此类应用提供了前景广阔的解决方案。这些转换器引入了飞电容, 以降低功率晶体管的电压应力或减少电感电流 (I_L)。然而, 电感器仍需处理传统降压转换器的全部输出电流 (I_O), 这就需要具有低直流电阻的笨重电感, 从而限制了电流密度。双路径混合转换器可以利用飞电容提供额外的电流路径来降低 I_L 。 I_L 的降低幅度相对较小, 在 12 V 至 1.2 V 转换方案中, 仅降低了 20%。尽管有的工作实现了 40%的显著降低, 但需要一个包含 12 个开关的复杂

开关电容器网络。Ji 等提出了一种具有电荷收敛相位的双路径混合降压转换器,可持续将 I_L 降低到 $0.5I_O$ 以下。

28.3: 一种 12~28 V 至 0.6~1.8 V 比率可调的 Dickson 开关电容转换器,具有双模相位错位操作,实现 93.1%的效率 and 6 A 输出^[51]

随着 USB 功率输出 (power delivery, PD) 标准的不断发展,便携式计算设备的电源需求也在增加,需要更高效的电源转换器。为了满足负载需求并优化能效,电源转换器需要在更宽的输入电压范围内保持高效能、紧凑尺寸和足够的负载能力。现有的混合开关电容拓扑结构在高电压转换比下表现不佳,且电感器的使用增加了系统体积和导通损耗。Ma 等提出了一种 12~18 V 输入、0.6~1.8 V 输出的 Dickson 开关电容转换器,具有 93.1%的峰值效率和 6 A 输出能力。该转换器引入了相位错位操作模式,以减少电容电流聚集问题,并在不同输入电压下实现高效转换;采用单个 4.7 μ H 电感器和片上充电泵,减少了外部元件需求,提升了整体效率。与现有设计相比, Ma 等设计的转换器在效率和负载电流方面,特别是在高压输入条件下表现出色。

(25) Session 29 用于量子技术的集成电路

Session 29 中共有 1 篇论文来自中国内地及港澳地区,论文编号为 29.4。

29.4: 一种采用基于相位检测读出和基于移相器的脉冲发生器的 28 nm 基体 CMOS 低温量子计算单元接口芯片组^[52]

低温互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 专用集成电路 (application-specific integrated circuit, ASIC) 在量子计算 (quantum computing, QC) 平台的扩展方面具有巨大的潜力,因此日益受到关注,其在降低量子比特控制器功耗方面也取得了重大进展。尽管如此,考虑到对量子比特数量要求越来越高,以及制冷器所能提供的冷却功率有限,降低功耗和提高读出/控制器 ASIC 的集成度仍然是一个长期目标。对此, Guo 等提出了一种用于超导传输线分流等离子体振荡 (transmission-line shunted plasma oscillation, transmon) 量子比特控制和读出的低温 CMOS QC 单元接口芯片组。为了降低 QC 接口功耗,采用了以下技术: (1) 在读出 ASIC 中,提出了一种基于相位检测的反射式读出接收器,其由 N 路径滤波器和基于时间数字转换器 (time-to-digital converter, TDC) 的片上量子比特状态检测器组成; (2) 在控制器 ASIC 中,实现了一种基于移相器的极性 XY 驱动器,其能生成通过绝热门去除导数 (derivative

removal by adiabatic gate, DRAG) 脉冲。芯片在 28 nm 基体 CMOS 工艺下成功流片,处于探测 2 个 transmon 量子比特状态时,读出 ASIC 实测功耗 11 mW,比已有设计至少低 2.9 倍。在主动控制下,控制器中的 XY 驱动器实测功耗低至每个量子比特 4.3 mW。

(26) Session 30 针对特定应用领域的计算技术和数字加速器

Session 30 中共有 2 篇论文来自中国内地及港澳地区,论文编号分别为 30.2 和 30.5。

30.2: 一种使用时间-步骤-优先数据流和稀疏性自适应内存计算,基于 22 nm 实现 0.26 nW/Synapse 的驱动型尖峰神经网络处理单元^[53]

Liu 等介绍了一种全面数据静态 (comprehensive data static, CDS) 和尖峰驱动的尖峰神经网络 (spiking neural network, SNN) 芯片,该芯片具有 4 个稀疏感知内存计算 (in-memory computing, IMC) 宏,可通过架构和电路协同创新改善能效性并降低功率密度,同时实现高网络密度。通过利用尖峰固有的时空信息,残差卷积 SNN 被应用于增强的网络可扩展性,以显著减少的权重在静态和动态数据集上实现了领先的准确性。(1) 拟议的 CDS 架构通过融合 IMC 和时间步长优先 (time-step priority flow, TSF) 数据流,最大限度地提高了时空数据局部性。考虑到芯片内存有限,TSF 数据流可保持膜的空间静止,并在所有时间步中重复使用 IMC 宏中缓存的本地权重,从而实现高神经密度 (neural density, ND); (2) 设计了一种具有自触发转换器的稀疏性自适应 IMC 宏,它能根据输入尖峰稀疏性动态调整功耗和延迟,同时使 IMC 摆脱对全局耗电时钟的依赖; (3) 一个细粒度的尖峰驱动时钟管理系统利用多级时钟门控和异步协议,将“暗硅”的能耗降低了 12.6 倍; (4) 4 个 IMC 宏可根据不同的工作负载灵活组合,适用于各种场景。特别是它们可以通过配置来扩展向量-矩阵乘法的最大长度,从而避免代价高昂的权重多步移动。

30.5: 一种具有 15 级系数和泄露负反馈退火的耐变嵌入式动态随机存取存储器连续时间伊辛机^[54]

组合优化问题 (combinatorial optimization problems, COPs) 在现实决策和规划中至关重要,伊辛机具有自然收敛特性,在解决 COPs 方面表现出色。分散时间 (discrete time, DT) 伊辛机具有可扩展系数级别和退火策略,但并行性有限、解决时间长且退火需要大量硬件资源,而连续时间 (continuous time, CT) 伊辛机消除了时钟限制,实现了完全并行的自旋交互,

但系数精度有限,缺乏有效退火机制。Song 等提出了一种耐变的 CT 伊辛机,具有嵌入退火机制,采用 65 nm CMOS 工艺。其主要创新点包括:(1)通过泄漏负反馈退火技术,避免局部最小值,提高了系统稳定性;(2)实现 15 级电流系数,消除了传统电压编程操作中的电流失配问题;(3)采用嵌入式动态随机存取存储器,提高能效和设计密度,解决了组合优化问题。该设计最终实现了小于 20.7 ns 的求解速度和 0.33 nJ 的求解能量。

(27) Session 31 能量转换器技术

Session 31 中共有 6 篇论文来自中国内地及港澳地区,论文编号分别为 31.1、31.5、31.6、31.7、31.8 和 31.9。

31.1: 一种 83.4%峰值效率,采用 G 类线性放大器和单电感双输入双输出转换器,适用于 200 MHz 带宽 5G 新无线电射频应用的包络跟踪电源调制器^[55]

包络跟踪(envelope tracking, ET)可以显著提高手机中射频功率放大器的效率,然而随着 5G 新无线电标准的推进,包络跟踪电源调制器面临着宽信号带宽、额定电压增加、功率放大器去耦电容高频充放电电流大等挑战,严重影响了电源调制器的效率。对此,Chen 等提出了一种新型包络跟踪电源调制器:(1)采用由单电感双输入输出直流-直流转换器供电的 G 类线性放大器,有效降低了电流在线性放大器上的压降,从而降低损耗,实现更高的整体效率;(2)提出了一种串联 G 类线性放大器(linear amplifier, LA),在降低 LA 压降的同时确保放大器在高低电源轨之间平滑过渡,避免由于 G 类切换操作而导致的失真,保证了高线性度。所提出的包络跟踪电源调制器在 65 nm CMOS 工艺下成功流片,该设计实现了对新无线电 200 MHz 信号的成功跟踪。在 200 MHz 跟踪带宽、1~5 V 大输出摆幅以及 5 Ω 与 200 pF 组成负载的情况下,实现了 83.4%的峰值效率。

31.5: 一种使用单对变压器实现 54/18 Mbit/s 全双工通信变压器的 750 mW、峰值效率 37%的隔离式直流-直流转换器^[56]

在恶劣的工业环境中,电源和信号隔离对于确保系统的安全性和可靠性至关重要。传统的做法是使用单独的变压器或高压电容器进行电源和信号隔离。为了获得紧凑的设计,以前的工作采用了高频功率传输,从而减小了变压器的尺寸,同时使用一对变压器就能实现功率和数据传输。Hu 等使用一对变压器传输电源和全双工数据的拟议方案。变压器具有初级/次级电感 L_p/L_s ,耦合系数为 k 。初级侧是一个 N 型金属氧化物

半导体(N-type metal-oxide-semiconductor, NMOS) M_{N1} 和 M_{N2} 交叉耦合 D 类 LC 振荡器。耦合电容 C_C 和栅极电容提供振幅衰减,以防止栅极电压 V_{G1} 和 V_{G2} 过高。在初级侧使用 S_p 和 C_A 实现了具有 C - f 调制的前向频移键控(frequency-shift keying, FSK)。为了解决长沉降问题,使用一个可重新配置的 $1 \times 2 \times$ 整流器,将整流器输出电压(V_R)连接到次级侧输出电压(V_{OUT})或 $V_{OUT}/2$,用作后向 FSK 的 V - f 调制。此外,使用一个分流调节器来吸收多余的输出电流并调节 V_{OUT} 。

31.6: 一种 SIDO/DISO VCF 步进可重构、连续可调转换比的开关电容转换器,具有 91.4% (SIDO) /92.6% (DISO) 的峰值效率和几乎无损的通道切换^[57]

在物联网的能量收集(energy harvesting, EH)系统中,输入电压(V_{IN})在很宽的范围内变化,而电池电压(V_{BAT})和输出电压(V_{OUT})通常高于 V_{IN} 。现有的双模式直流-直流转换器使用两级方案或多路复用器进行通道选择,但这些方法存在效率低等问题,且现有的单输入双输出(single input dual output, SIDO)和双输入单输出(dual input single output, DISO)模式仅允许两种电压转换路径,无法满足 $V_{BAT} > V_{OUT} > V_{IN}$ 的应用需求。Wang 等提出了一种 SIDO 和 DISO 模式的转换器,采用连续可调转换比的开关电容转换器,实现高效的电压转换,通过引入飞电容闲置和相位匹配技术,减少通道切换损耗,提高效率。该转换器在 65 nm CMOS 工艺下实现,测得的峰值效率为 91.4% (SIDO) 和 92.6% (DISO)。

31.7: 一种 3.6 W, 16 V 输出, 180 ns 响应时间,用于激光雷达驱动器,具有输出阻抗补偿和纹波抑制的具有 94%效率的开关电容 Sigma 转换器^[58]

随着自动驾驶、三维传感与三维成像等新兴应用不断发展,激光探测与测距技术得到了广泛应用,其市场也快速扩张。在经典激光雷达接收器中,光电二极管对进入的光子进行检测,同时产生大量电流,生成电压信号。为了尽量缩短检测时间间隔,光电二极管的供电电压必须能从瞬态电流事件中迅速恢复,电源模块要实现快速瞬态响应、小体积和高效率,同时保持高电压与低纹波。这对直流-直流电源转换器提出了挑战。Hu 等提出了一种采用开环高压 $3 \times$ 开关电容转换器与低压低压差稳压器(low dropout regulator, LDO)的开关电容 Sigma 转换器:(1)高压域采用 $3 \times$ 开关电容转换器,实现高密度的高效功率传输;(2)在低压域下采用 LDO 进行输出调节,因此 LDO 可用低压器件进行设计,用更低的功耗与更小的面积实现更高带

宽与增益, 转换器具有更快的瞬态响应; (3) 设计无需使用电感, 仅需电容与线性稳压器即可实现高效的功率传输和电压调节。转换器芯片在 180 nm BCD (bipolar-complementary metal oxide semiconductor-double diffused metal oxide semiconductor) 工艺下成功流片, 芯片实现了将 5 V 输入转成 16 V 输出, 3.6 W 功率下具有 94% 的峰值效率, 同时瞬态响应时间仅有 180 ns。

31.8: 一种 11.7 W, 9 mV/A 交叉调整, 采用变序功率分配控制实现 2 A 负载瞬态跳变的单电感三输出降压转换器^[59]

单电感多输出 (single inductor multiple output, SIMO) 转换器仅需 1 个电感就能提供多个输出, 十分适合移动设备等成本与尺寸受限制的应用。然而, SIMO 处于大负载瞬态跳变期间时存在着严重的交叉调整问题。之前的解决方案受工艺、电压和温度影响大且效率降低, 对此, Wang 等提出了一种应用于 SIMO 转换器的新型控制方法: (1) 采用变序能量分配控制策略, 显著减少大负载瞬态跳变期间的交叉调整; (2) 通过锁相环调节电容的偏置电压实现输出晶体管工作频率 f_{chg} 与主功率管切换频率 f_{sw} 同步, 消除空转阶段, 提高了效率。所提出的单电感三输出 (single inductor triple output, SITO) 转换器在 180 nm BCD 工艺下成功流片, 其所有功率管都集成在芯片上, 转换器最大输出功率为 11.7 W, 同时在输出功率 2.7 W 时可实现 89.6% 的峰值效率; 在大负载瞬态跳变时, 交叉调整仅有 9 mV/A。

31.9: 一种 85~264 Vac 至 3~4.2 Vdc, 1.05 W 电容式功率转换器, 采用空闲功率降低技术, 以及四相 1/10×开关电容转换器, 实现 5.11 mW 静态功率和 78.2% 峰值效率^[60]

智能家居和智能楼宇需要大量离线设备, 如物联网节点、物体传感器和烟雾探测器等。这些设备通常从交流主电压获取电源, 需要转换器将 85~264 V 交流电压 (voltage alternating current, Vac) 的通用电压直接转换为 3.0~4.2 V 直流电压 (voltage direct current, Vdc) 的电池电压。Liu 等提出了一种交流-直流电源转换器, 它由 1 个三模式交流-直流整流器组成, 具有降低空载功率和减缓输出纹波的功能, 然后是 1 个四相 1/10×开关电容直流-直流转换器, 只需 3 个飞电容, 即可增强输出功率。在该设计中, 直流-直流级的电压转换比 VCR 增至 10: 1, 以将 V_{REC} 升至 45~60 V 左右, 并获得更高的 P_{REC} 。根据理论估算, 与 $V_{\text{REC}} \approx 23$ V 和

$P_{\text{REC, MAX}}=0.8$ W 的之前工作相比, 本设计可在 1.57 W 的情况下提高 96% 的 P_{REC} 。为了保持较高的功率密度, 采用了 4 工作相位, 以获得 $1/10 \times \text{VCR}$, 并尽量减少了 3 个飞电容。相对于所需的电容, 只需增加 5 个小型陶瓷电容器即可实现上述改进。因此, 整体功率密度显著提高。

(28) Session 32 功率放大和信号产生

Session 32 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 32.4 和 32.8。

32.4: 一种基于三耦合线互补增益提升技术的 67.8~108.2 GHz 的功率放大器, 实现 442 GHz GBW 和 23.1% 峰值 APE^[61]

宽带收发器可以最大限度地提高频谱容量, 在当今毫米波技术快速发展的背景下有着广泛的应用前景。但是设计一个宽带功率放大器面临着晶体管固有功率增益有限、被动效率低和低击穿电压等问题。Wu 等提出了一种 67.8~108.2 GHz 的功率放大器, 采用三耦合线的互补增益提升技术, 达到了 442 GHz 的增益带宽积 (gain-bandwidth product, GBW) 和 23.1% 的峰值功率附加效率 (power added efficiency, PAE)。创新点包括: (1) 提出了一种基于三耦合线的互补增益增强技术, 有效提升了功率增益和带宽, 并减少了增益波动; (2) 设计了宽带低损耗输出网络, 优化了输出功率和效率; (3) 提出了混合耦合传输线输入匹配技术, 通过折叠传输线和调谐元件, 实现了高频增益增强和精细输入匹配。

32.8: 一款 27.8~38.7 GHz, 具有可扩展的 7 对 1 负载调制功率组合网络的, 可实现 27.2 dBm 输出功率且在峰值及 6、9、12 dB 回退下效率达 28.8%、23.2%、16.3%、11.9% 的负载调制平衡功率放大器^[62]

随着 5G 技术的发展, 人们对广泛采用高速高效率的调制方案有着更高的期待, 因此, 对于功率放大器的调制效率和输出功率的要求不断提高。此外, 随着低成本多功能框架的发展, 未来的毫米波前端必须能在 28~40 GHz 频段内实现多频段多模操作, 以覆盖所需的频率范围。Zhu 等提出了一种新型宽带可扩展多路功率组合和负载调制平衡功率放大器 (balanced power amplifier, BPA) 架构: (1) 采用单端输出配置, 适合与天线集成; (2) 主功率放大器组合了级联正交网络, 可容纳 2 个额外的主功率放大器进行功率组合, 实现更高的输出功率; (3) 结构允许 2 组放大器分别调制, 可获得更好的负载调制效果; (4) 功率放大器的输出直接馈入正交网络, 从而减少了损耗与芯片面积。所

提出的方案在 65 nm CMOS 工艺下成功流片, 38 GHz 频段下, 放大器实现了 17.1 dB 增益与 27.2 dBm 的输出功率, 在峰值及 6、9、12 dB 回退下, 功率放大效率分别为 28.8%、23.2%、16.3%、11.9%。

(29) Session 33 智能神经接口和传感系统

Session 33 中共有 2 篇论文来自中国内地及港澳地区, 论文编号分别为 33.1 和 33.10。

33.1: 一种具有混合特征驱动自适应处理和基于学习的自适应信道选择功能的高精度、高能效零镜头训练癫痫发作检测处理器^[63]

有学者提出利用机器学习的癫痫发作检测处理器来检测患者的癫痫发作, 以达到警报或刺激的目的。如果有大量的患者癫痫发作数据可供训练, 现有的设计可以达到很高的准确度。然而, 与收集非癫痫发作数据不同, 收集发生率低的癫痫发作数据需要患者住院, 耗时长且费用高, 这在实际操作中很难做到。Liu 等提出了一种零镜头训练癫痫发作检测处理器, 其不需要患者的癫痫发作数据进行再训练, 具有更高的精度和能效。它有两个主要特点: (1) 混合特征驱动的自适应处理架构, 具有片上学习功能, 无需患者提供癫痫发作数据, 从而实现超低能耗和高精度; (2) 基于学习的自适应信道选择技术, 在保持高精度的同时进一步降低能耗。

33.10: 一种具有动态光感前端和无交叉耦合互稳数据转换器的 2.7 ps 飞行时间分辨率和 12.5 mW 频域 NIRS 读出芯片^[64]

频域近红外光谱 (frequency-domain near-infrared spectroscopy, FD-NIRS) 通过发射调制光测量光强和飞行时间, 解决了传统连续波近红外光谱系统的局限性, 适用于脑功能成像、药物代谢研究和癌症诊断。目前存在的 FD-NIRS 系统功耗高且设计复杂, Ma 等提出了一种高精度、高效率的频域近红外光谱读出电路, 包含动态光感前端 (dynamic light-sensing front-end, DLFE) 和互稳定强度/相位数字转换器 (inter-stable intensity/phase digital converter, IS-IPDC)。DLFE 通过动态操作提高能效, 采用激光二极管驱动器和跨阻放大器, 优化光强度和相位测量; IS-IPDC 解决强度和相位测量之间的耦合问题, 提高测量精度。本设计还采用 8 抽头注入锁定环形振荡器, 生成多相参考信号, 提高线性度和稳定性。该电路在 10 Hz 带宽内实现了 2.7 ps 的飞行时间分辨率, 功耗为 12.5 mW。

(30) Session 34 存内计算

Session 34 中共有 5 篇论文来自中国内地及港

澳地区, 论文编号分别为 34.1、34.3、34.6、34.7 和 34.9。

34.1: 一种 28 nm 83.23 TFLOPS/W 面向高精度人工智能应用, 基于 POSIT 的内存计算宏^[65]

针对复杂人工智能任务的 AI 模型的快速发展, 对 AI 处理器提出了高能效与高精度的要求。新兴的 POSIT 数据格式利用动态位宽适应不同的数据分布, 其可使用低位宽实现与高位宽传统浮点数几乎相同的训练精度。然而 POSIT 的动态特性使其应用于内存计算 (computation in memory, CIM) 时存在挑战: (1) POSIT 需要额外的提取和编解码逻辑, 使其功耗较高; (2) POSIT 的动态位尾数与 CIM 架构冲突, 导致 CIM 未被全面利用; (3) 由于动态尾数对齐时没有重叠位, 导致加法器存在冗余, 浪费了能量。Wang 等提出了一种数字 POSIT 内存计算宏, 其存在 3 个特点: (1) 采用双向机制处理单元, 用移位和串联逻辑取代复杂编码器逻辑, 节省了功耗; (2) 采用关键位预计算和存储 CIM, 运用空余位, 提高了 CIM 单元利用率; (3) 采用循环交替计算调度单元, 节省了加法器功耗。该设计在 28 nm CMOS 工艺下成功流片, 其峰值能效可达 83.23 TFLOPS/W。

34.3: 一种用于 Transformer 和卷积神经网络的具有压缩加法器树和模拟存储量化器的 22 nm, 64 kbit 类闪电混合存内计算^[66]

基于静态随机存取存储器 (static random access memory, SRAM) 的内存计算在提高人工智能应用中神经运算器的能效 (energy efficiency, EF) 方面取得了重大进展。更高位精度的乘积累加运算 (multiply accumulate, MAC) 运算遇到以下挑战: (1) 如何在推理精度和模拟数字混合 CIM 的面积、能耗开销之间取得平衡; (2) 模拟存内计算 (analog-computing in-memory, ACIM) 中读出电路的能耗和误差积累较大; (3) 大规模加法器树导致 EF 和数字存内计算 (digital computing in-memory, DCIM) 性能有限。Guo 等提出了 3 种解决方案: (1) 类似闪电的模拟/数字混合结构, 以保持能效和推理精度; (2) 基于压缩器的数字加法器树以及双正规化训练方法, 以减少面积、功耗成本; (3) 模拟存储量化器电路 (analog storage quantizer circuit, ASQC) 拟议的 22 nm 64 kbit 类闪电混合 SRAM CIM 宏实现了可扩展的 ASQC, 输出比为 1。混合 SRAM CIM 宏实现了最高能效 (60.8 TOPS/W), 适用于 INT8 MAC 操作的能效最高, 达到 60.8 TOPS/W。

34.6: 一种基于外积的混合域浮点 SRAM 存储器计算宏, 具有对数位宽残差模数转换器, 采用 28 nm 工艺, 能效 72.12 TFLOPS/W^[67]

基于 SRAM 的存内计算被认为是实现边缘设备上 AI 应用高能效的关键, 而新的 AI 应用需要更高的精度和复杂性, 整数精度 CIM 已不能满足其需要。实现浮点运算目前面临以下问题: 需要结合模拟与数字 CIM 的优点, 同时考虑模数转换器精度、吞吐量和开销, 且内积 CIM 中需要大风扇输入的多级加法器树来求和和高位精度的部分积, 影响了整体能效。Yuan 等提出了一种混合域浮点 SRAM 计算内存宏, 结合模拟和数字 CIM 的优点, 实现高效的位乘法和多位移位累加; 采用对数位宽残差模数转换器架构, 显著提高了吞吐量并降低了开销; 设计了用于通用矩阵乘法, 支持 BF16 和 INT8 精度, 具有更高的吞吐量和能效。该设计在 28 nm CMOS 工艺下实现, 在 90% 的输入稀疏度下, 其 EF 值达到了最佳水平 72.12 TFLOPS/W。

34.7: 一种 28 nm, 2.4 Mbit/mm², 6.9~16.3 TOPS/mm² 具有存内编码和刷新功能, 基于 eDRAM-LUT 的数字存内计算宏^[68]

随着先进工艺技术节点不断扩展, 数字内存计算在吞吐量和精确度上体现了其优越性。然而, DCIM 固有的计算策略使其在密度与效率上受到了传统数字逻辑的限制, 其行为更像计算核而非内存模块, 其中数字逻辑在宏面积中占主导地位。对此, He 等提出了一种计算-存储双模式嵌入式动态随机存取存储器 (embedded dynamic random-access memory, eDRAM): (1) 宏上实现了卓越的计算和存储密度, 支持针对不同工作负载动态调整计算存储比, 解决了存储密度与计算密度之间的矛盾; (2) 实现了基于 eDRAM 查找表的两级加法器树, 解决了全精度数字加法器树面积开销的挑战; (3) 实现了采用本地读写端口进行内存刷新与编码, 解决了高密度 eDRAM 查找表 (lookup table, LUT) 刷新与编程开销的挑战。该设计在 28 nm 工艺下成功流片, 在 1.2 V, 1 100 MHz 工作条件下, 其 8 bit 峰值面积效率可达 16.2 TOPS/mm², 8bit 能效为 8.0~19.7 TOPS/W。面积与能效分配显示 eDRAM 与数字逻辑之间的分配非常均衡。

34.9: 一种标准 14 nm FinFET 工艺中用于神经网络学习的闪存-SRAM-ADC-融合并可塑的内存计算^[69]

突触可塑性是可学习 CIM 芯片的一个关键因素。塑性神经网络模型在传统连接的基础上引入了额外的塑性连接。在硅片中实现可塑性存内计算 (plasticity

computing in-memory, P-CIM) 面临着几个关键挑战: (1) 先进 CMOS 技术 (≤ 14 nm) 的嵌入式非易失性存储器 (non-volatile memory, NVM) 解决方案仍在开发中, 通常需要采用新兴的 NVM, 这涉及到额外的掩膜和特殊工艺; (2) 传统的 CIM 芯片需要在多时钟 (clock, CLK) 周期的独立阵列中处理矩阵-向量乘法 (matrix-vector multiplication, MVM) 和存储器 (memory, MEM), 导致硬件成本高和延迟时间长; (3) 加入模数转换器进行模拟计算可能会进一步降低面积效率, 特别是由于电容式数模转换器阵列的面积成本。Wang 等解决这些问题的方法如下: (1) 使用标准 14 nm 鳍式场效应晶体管 (fin field-effect transistor, FinFET) 工艺验证了具有多级单元功能的 5 晶体管逻辑闪存 (5-transistor logic flash, 5T-LF) 单元, 该工艺为先进逻辑技术上的 NVM 集成提供了经济高效的解决方案; (2) 引入了结合 5T-LF 和 SRAM 单元的塑料单元阵列 (plastic cell array, PCA)。PCA 允许在同一阵列中存储长期和短期信息, 并能在单个 CLK 周期内执行 MEM-MVM 矩阵计算; (3) 提出了一种差分合并阵列 ADC (plastic cell array, DMA-ADC), 它充分利用了乘法值采样电容的重复使用来节省面积, 并利用提出的多元素稀疏感知 (multi-element sparse awareness, MESA) 方案以节省功耗。拟议的 14 nm P-CIM 由多个组件组成, 包括 PCA、用于 5T-LF 和 SRAM 的读/写电路、数字移位加法电路、用于高压操作的电荷泵和高压开关、模式和定时控制以及扫描输入输出电路。PCA 集成了 32k 5T-LF 单元、4k SRAM 单元和 32 个 8 位 DMA-ADC。

6 结 论

针对 ISSCC 2024 大会, 深入剖析了来自中国内地及港澳地区的学术论文, 揭示了中国在集成电路领域的卓越贡献。

澳门大学、清华大学及东南大学等高等学府以其显著的论文产出量彰显了我国高等教育机构在集成电路科研领域的迅猛进步与高度竞争力。通过统计分析基金项目的资助状况, 特别是国家自然科学基金对超过半数论文的支持, 展现了资金扶持对于激发并加速中国集成电路领域研究创新的关键作用。在合作层面, 解析了国内集成电路研究领域的合作模式与互动网络。澳门大学与海外机构的跨国 (地区) 合作成果丰硕, 清华大学则在企业、高校和科研院所之间构建了

广泛的合作网络，为学术交流与技术融合提供了宝贵的借鉴。研究领域的细分分析显示，中国学者在电源管理、射频及无线传感等前沿阵地展现出强大实力，但在数据采集系统和安全等方面仍有待加强。同时，由统计结果可知，国内企业在 ISSCC 2024 中的发文量相对较少，提示了加强企业与科研机构间合作、共同促进前沿探索的可能性。此外，对参与大会的中国内地及港澳地区论文核心内容的翻译与梳理，有助于集成电路领域的科研工作者与工程师快速洞察国际技术动态。

参考文献

- [1] ISSCC. International solid-state circuits conference [EB/OL]. [2024-5-25]. <https://www.isscc.org/>.
- [2] ZHANG Y, ZHOU W Y, ZHANG Y W, et al. 2.7 bayesBB: a 9.6 Gbps 1.61 ms configurable all-message passing baseband- accelerator for B5G/6G cell-free massive-MIMO in 40 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 48-50.
- [3] PAN S N, CHENG Y H, WU G H, et al. 3.2 a 0.028 mm² 32 MHz RC frequency reference in 0.18 μm CMOS with ±900 ppm inaccuracy from -40 °C to 125 °C and ±1 600 ppm inaccuracy after accelerated aging[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 56-58.
- [4] LUO R, LEI K M, MARTINS R P, et al. 3.3 a 0.5 V 6.14 μW trimming-free single-XO dual-output frequency reference with [5.1 nJ, 120 μs] XO startup and [8.1 nJ, 200 μs] successive-approximation-based RTC calibration[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 58-60.
- [5] TANG Z, LIU Y Y, CHEN P P, et al. 3.4 a 14 b 98 Hz-to-5.9 kHz 1.7-to-50.8 μW BW/power scalable sensor interface with a dynamic bandgap reference and an untrimmed gain error of ±0.26 % from -40°C to 125°C[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 60-62.
- [6] XU X H, YE S Y, LUAN Y H, et al. 3.10 a 0.69/0.58-PEF 1.6 nW/ 24 nW capacitively coupled chopper instrumentation amplifier with an input-boosted first stage in 22 nm/180 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 72-74.
- [7] LI J X, LI Z M, YIN Y, et al. 4.4 a highly-integrated 6-phase cell-reused digital transmitter using 1/3 duty-cycle LO signals for harmonic rejection[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 82-84.
- [8] XU H, BI J Y, ZOU T H, et al. 5.1 a 5-to-16 GHz reconfigurable quadrature receiver with 50% duty-cycle LO and IQ-leakage suppression[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 88-90.
- [9] YU Y M, SUN B H, GENG M Q, et al. 5.4 a 22.4-to-30.7 GHz phased-array receiver with beam-pattern null-steering and beam-tracking techniques achieving >30.2 dB OTA-tested spatial rejection[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 94-96.
- [10] ZOU C R, OU Y Z, ZHU Y, et al. 6.8 a 256×192-pixel 30 fps automotive direct time-of-flight LiDAR using 8× current-integrating-based TIA, hybrid pulse position/width converter, and intensity/CNN-guided 3D inpainting[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 114-116.
- [11] WANG X C, HUANG Z, LIU T Y, et al. 6.9 a 0.35 V 0.367 TOPS/W image sensor with 3-layer optical-electronic hybrid convolutional neural network[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 116-118.
- [12] HUANG Y B, CHEN Y, YANG Z S, et al. 7.4 a 0.027 mm² 5.6-7.8 GHz ring-oscillator-based ping-pong sampling PLL scoring 220.3 fsrms jitter and -74.2 dBc reference spur[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 130-132.
- [13] LUO X S, YOU X W, LI Z H, et al. 7.5 a 224 Gb/s/wire single-ended PAM-4 transceiver front-end with 29 dB equalization for 800 GbE/1.6 TbE[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 132-134.
- [14] ZHONG L P, WU H Z, ZHANG Y Y, et al. 7.6 a 112 Gb/s/pin single-ended crosstalk-cancellation transceiver with 31 dB loss compensation in 28 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 134-136.
- [15] JIN J, XU W W, CHENG L. 8.1 a 94.5%-peak-efficiency 3.99 W/mm²-power-density single-inductor bipolar-output converter with a concise PWM control for AMOLED displays[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 144-146.
- [16] RUAN J Y, JIANG J M, DING C Z, et al. A li-ion-battery-input 1-to-6 V-output bootstrap-free hybrid buck-or-boost converter without RHP zero achieving 97.3% peak efficiency 6 μs recovery time and 1.13 μs/V DVS rate[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 148-150.
- [17] ZHAO S X, ZHAN C C, Lu Y. 8.4 a fast-transient 3-fine-level buck-boost hybrid DC-DC converter with half-voltage-stress on all switches and 98.2% peak efficiency[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 150-152.
- [18] HAN S S, FANG Z F, TONG Z G, et al. 8.10 a 5 V-to-150 V input-parallel output-series hybrid DC-DC boost converter achieving 76.4 mW/Mg power density and 80% peak efficiency[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 162-164.
- [19] YE S Y, SHEN L X, GAO J H, et al. 9.1 a 2 mW 70.7 dB SNDR 200 MS/s pipelined-SAR ADC with continuous-time SAR-assisted detect-and-skip and open-then-close correlated level shifting[C]// 2024

- IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 168-170.
- [20] HE X Y, GU M Y, JIANG H J, et al. 9.3 a 71 dB SNDR 200 MHz BW interleaved pipe-SAR ADC with a shared residue integrating amplifier achieving 173 dB FoMs[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 172-174.
- [21] CHEN Z Y, SHEN L X, YE S Y, et al. 9.4 a 182.3 dB FoMs 50 MS/s pipelined-SAR ADC using cascode capacitively degenerated dynamic amplifier and MSB pre-conversion technique[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 174-176.
- [22] WANG X, MA X J, FU Y P, et al. 10.7 an 11 GHz 2nd-order DPD FMCW chirp generator with 0.051% rms frequency error under a 2.3 GHz chirp bandwidth, 2.3 GHz/Ms slope, and 50 ns idle time in 65 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 200-202.
- [23] LI H R, XU T L, MENG X, et al. 10.9 a 23.2-to-26 GHz sub-sampling PLL achieving 48.3 fs_{rms} jitter, -253.5 dB FoM_j, and 0.55 μs locking time based on a function-reused VCO-buffer and a type-I FLL with rapid phase alignment[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 204-206.
- [24] ZHANG Y L, LUO R L, XIONG J, et al. 12.4 a 19 μW 200 Mb/s IoT tag demonstrating high-definition video streaming via a digital-switch-based reconfigurable 16-QAM backscatter communication technique[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 224-226.
- [25] WU W T, WU H Z, ZHONG L P, et al. 13.5 a 64 Gb/s/Pin PAM4 single-ended transmitter with a merged pre-emphasis capacitive-peaking crosstalk-cancellation scheme for memory interfaces in 28 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 240-242.
- [26] SHAN W W, ZHOU K Z, LI K R, et al. 14.2 proactive voltage droop mitigation using dual-proportional-derivative control based on current and voltage prediction applied to a multicore processor in 28 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 256-258.
- [27] FENG L Q, JI X S, KUANG L H, et al. 14.7 a 0.45 V 0.72 mW 2.4 GHz bias-current-free fractional-N hybrid PLL using a voltage-mode phase interpolator in 28 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 266-268.
- [28] XIAO J B, ZHANG X H, ZHU S J, et al. 14.8 KASP: a 96.8% 10-keyword accuracy and 1.68 μJ/classification keyword spotting and speaker verification processor using adaptive beamforming and progressive wake-up[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 268-270.
- [29] YUE Z H, XIANG X J, TU F B, et al. 15.1 a 0.795 fJ/Bit physically-unclonable function-protected TCAM for a software-defined networking switch[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 276-278.
- [30] ZHU Y H, ZHU W P, OUYANG Y, et al. 16.2 a 28 nm 69.4 kOPS 4.4 μJ/Op versatile post-quantum crypto-processor across multiple mathematical problems[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 298-300.
- [31] FAN S H, ZHOU Q, LEI K M, et al. 17.2 a miniature multi-nuclei NMR/MRI platform with a high-voltage SOI ASIC achieving a 134.4 dB image SNR with a 173×250×103 μm³ resolution[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 316-318.
- [32] TAN F, YU W H, LIN J H, et al. 17.9 a 1.8% FAR, 2 ms decision latency, 1.73 nJ/decision keywords spotting (KWS) chip incorporating transfer-computing speaker verification, hybrid-domain computing and scalable 5T-SRAM[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 330-332.
- [33] LIN Z, SHEN Y Z, DING Y F, et al. 19.2 a 12.4% efficiency, 11 dBm psat, odd-harmonics-recycling, 62-to-92 GHz CMOS frequency quadrupler using an amplitude-phase coordinating technique[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 350-352.
- [34] KANG Z H, YU C, WU L. 19.3 an 8.9-to-21.9 GHz single-core oscillator with reconfigurable class-F⁻¹ and enhanced-colpitts dual-mode operation achieving 209 dBc/Hz FoMT[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 1-3.
- [35] ZHAO Y, FAN C, FANG Q Y, et al. 19.4 a 0.07 mm² 20-to-23.8 GHz 8-phase oscillator incorporating magnetic + dual-injection coupling achieving 189.2 dBc/Hz FoM@10 MHz and 200.7 dBc/Hz FoMA in 65 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 354-356.
- [36] GE H Y, JIA H K, DENG W, et al. 19.5 a 13.7-to-41.5 GHz 214.1 dBc/Hz FoMT quad-core quad-mode VCO using an oscillation-mode-splitting technique[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 356-358.
- [37] GUO R Q, WANG L, CHEN X F, et al. 20.2 a 28 nm 74.34 TFLOPS/W BF16 heterogenous CIM-based accelerator exploiting denoising-similarity for diffusion models[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 362-364.
- [38] ZHOU K W, ZHOU J H, TANG Y X, et al. 21.2 a 0.81 mA, -105.2 dB THD+N class-D audio amplifier with capacitive feedforward and PWM-aliasing reduction for wide-band-effective linearity improvement[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 380-382.
- [39] CAO Y F, ZHANG M L, ZHU Y, et al. 22.1 a 12 GS/s 12 b 4× time-interleaved pipelined ADC with comprehensive calibration of TI errors and linearized input buffer[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 388-390.
- [40] TAO Y S, GU M Y, CHI B Y, et al. 22.4 a 4.8 GS/s 7-ENOB time-interleaved SAR ADC with dither-based background timing-skew calibration and bit-distribution-based background ping-pong

- comparator offset calibration[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 394-396.
- [41] SHEN J Q, ZHU F Y, LIU Y, et al. 23.1 a 44 μ W IoT tag enabling 1 μ s synchronization accuracy and OFDMA concurrent communication with software-defined modulation[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 400-402.
- [42] CHANG Z Y, XIAO Q J, CHEN C, et al. 23.3 a passive crystal-less Wi-Fi-to-BLE tag demonstrating battery-free FDD communication with smartphones[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 404-406.
- [43] SHAO H J, MARTINS R P, MAK P I. 23.4 a 167 μ W 71.7 dB-SFDR 2.4 GHz BLE receiver using a passive quadrature- front-end, a double-sided double-balanced cascaded mixer and a dual-transformer-coupled class-D VCO[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 406-408.
- [44] TANG D W, XIA X Y, YAN Z, et al. 24.1 a 90-to-180 GHz APD-integrated transmitter achieving 18 dBm P_{sat} in 28 nm CMOS[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 411-413.
- [45] ZHANG J C, DAI B L, MENG X G, et al. 24.2 a scalable 134-to-141 GHz 16-element CMOS 2D $\Lambda/2$ -spaced phased array[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 414-416.
- [46] FENG X D, WANG Z Y, CHEN Y K, et al. 26.5 a 977 μ W capacitive touch sensor with noise-immune excitation source and direct lock-in ADC achieving 25.2 pJ/step energy efficiency[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 440-442.
- [47] MAO F Y, MARTINS R, LU Y. 27.1 a differential hybrid class-ED power amplifier with 27 W maximum power and 82% peak E2E efficiency for wireless fast charging to-go[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 444-446.
- [48] GE J F, LU Y, YANG R S, et al. 27.2 a 6.78 MHz 79.5%-peak-efficiency wireless power transfer system using a wireless mode-recognition technique and a fully-on/off class-D power amplifier[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 446-448.
- [49] CHEN Y T, LUO Y X, LIN Y F, et al. 27.5 a wireless power transfer system with up-to-27.9% efficiency improvement under coupling coefficient ranging from 0.1 to 0.39 based on phase-shift/time-constant detection and hybrid transmission power control[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 452-454.
- [50] JI Y C, JIN J, CHENG L. A 12 V-input 1 V-1.8 V-output 94.7%-peak-efficiency 685 A/cm³-current-density hybrid DC-DC converter with a charge converging phase[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 458-460.
- [51] MA Q B, JIANG Y, LI H H, et al. 28.3 a 12-28 V to 0.6-1.8 V ratio-regulatable dickson SC converter with dual-mode phase misalignment operations achieving 93.1% efficiency and 6 A output[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 460-462.
- [52] GUO Y S, LIU Q C, HUANG W Q, et al. 29.4 a cryo-CMOS quantum computing unit interface chipset in 28 nm bulk CMOS with phase-detection based readout and phase-shifter based pulse generation[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 476-478.
- [53] LIU Y, MA Y F, SHANG N H, et al. 30.2 a 22 nm 0.26 nW/synapse spike-driven spiking neural network processing unit using time-step-first dataflow and sparsity-adaptive in-memory computing[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 484-486.
- [54] SONG J H, WU Z H, TANG X Y, et al. 30.5 a variation-tolerant in-eDRAM continuous-time ising machine featuring 15-level coefficients and leaked negative-feedback annealing[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 490-492.
- [55] CHEN C J, LI X M, HU R, et al. 31.1 an 83.4%-peak-efficiency envelope-tracking supply modulator using a class-G linear amplifier and a single-inductor dual-input-dual-output converter for 200 MHz bandwidth 5G new radio RF applications[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 496-498.
- [56] HU T X, HUANG M, MARTINS R P, et al. 31.5 a 750 mW, 37% peak efficiency isolated DC-DC converter with 54/18 Mb/s full-duplex communication using a single pair of transformers[C]// 2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 504-506.
- [57] WANG Y F, HUANG M, MARTINS R P, et al. 31.6 a SIDO/DISO VCF-step-reconfigurable continuously scalable-conversion-ratio SC converter achieving 91.4%/92.6% peak efficiency and almost-lossless channel switching[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 506-508.
- [58] HU C, HUANG X R, LIU X, et al. 31.7 a 3.6 W 16 V-output 180 ns-response-time 94%-efficiency SC sigma converter with output impedance compensation and ripple mitigation for LiDAR driver applications[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 508-510.
- [59] WANG B C, WU X N, CHENG L. 31.8 a 11.7 W 9 mV/ a-cross-regulation single-inductor triple-output buck converter using unordered power-distributive control for a 2 A load transient[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 510-512.
- [60] LIU G, WU H, HU C, et al. 31.9 an 85-264 VAC to 3-4.2 VDC 1.05 W capacitive power converter with idle power reduction and 4-phase 1/10X SC converter achieving 5.11 mW quiescent power and 78.2% peak efficiency[C]//2024 IEEE International Solid-State Circuits

- Conference (ISSCC). San Francisco: IEEE, 2024: 1-3.
- [61] WU W P, BAO X, CHEN S L, et al. 32.4 a 67.8-to-108.2 GHz power amplifier with a three-coupled-line-based complementary-gain-boosting technique achieving 442 GHz GBW and 23.1% peak PAE[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 526-528.
- [62] ZHU W, YING J Z, CHEN L, et al. 32.8 a 27.8-to-38.7 GHz load-modulated balanced power amplifier with scalable 7-to-1 load-modulated power-combine network Achieving 27.2 dBm output power and 28.8%/23.2%/16.3%/11.9% peak/6/9/12 dB back-off efficiency[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 534-536.
- [63] LIU J H, LIU X, WANG X, et al. 33.1 a high-accuracy and energy-efficient zero-shot-retraining seizure-detection processor with hybrid-feature-driven adaptive processing and learning-based adaptive channel selection[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 542-544.
- [64] MA Z C, LIN Y X, CHEN C, et al. 33.10 a 2.7 ps-ToF-resolution and 12.5 mW frequency-domain NIRS readout IC with dynamic light sensing frontend and cross-coupling-free inter-stabilized data converter[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 560-562.
- [65] WANG Y, YANG X L, QIN Y B, et al. 34.1 a 28 nm 83.23 TFLOPS/W POSIT-based compute-in-memory macro for high-accuracy AI applications[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 566-568.
- [66] GUO A, CHEN X, DONG F Y, et al. 34.3 a 22 nm 64 kb lightning-like hybrid computing-in-memory macro with a compressed adder tree and analog-storage quantizers for transformer and CNNs[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 570-572.
- [67] YUAN Y Y, YANG Y M, WANG X H, et al. 34.6 a 28 nm 72.12 TFLOPS/W hybrid-domain outer-product based floating-point SRAM computing-in-memory macro with logarithm bit-width residual ADC[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 576-578.
- [68] HE Y F, FAN S P, LI X, et al. 34.7 a 28 nm 2.4 Mb/mm² 6.9 - 16.3 TOPS/mm² EDRAM-LUT-based digital-computing-in-memory macro with in-memory encoding and refreshing[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 578-580.
- [69] WANG L F, LI W Z, ZHOU Z D, et al. 34.9 a flash-SRAM-ADC-fused plastic computing-in-memory macro for learning in neural networks in a standard 14 nm finFET process[C]//2024 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco: IEEE, 2024: 582-584.