

第547次学术讨论会·空间辐射物理及应用

SOI 材料和器件抗辐射加固技术

张正选*, 邹世昌

中国科学院上海微系统与信息技术研究所, 信息功能材料国家重点实验室, 上海 200050

* 联系人, E-mail: zxzhang@mail.sim.ac.cn

2016-01-25 收稿, 2016-03-23 修回, 2016-03-23 接受, 2016-05-16 网络版发表



摘要 绝缘体上硅(SOI)技术是一种在硅材料与硅集成电路巨大成功的基础上发展起来的, 有独特优势的并且能够突破传统硅集成电路限制的新技术. 绝缘埋层(BOX)的存在使得SOI技术从根本上消除了体硅CMOS中的门锁效应. 在同等工艺节点下其单粒子翻转截面较体硅CMOS技术小了1~2个数量级, 抗瞬时剂量率的能力也提高了2个数量级以上. 这些固有优势使得SOI技术在军事和空间应用中具有举足轻重的地位. 然而, 在空间和核爆等电离辐射环境下, 辐射将会在BOX层中引入大量的陷阱电荷. 这些辐射感生的陷阱电荷会导致SOI器件和电路性能的退化, 从而严重阻碍和制约了SOI技术在抗辐射加固中的应用. 另一方面, SOI器件的寄生三极管放大效应会削弱SOI技术在抗单粒子辐射和瞬态辐射方面的优势, 这使得抗辐射SOI器件与电路的加固设计面临着严峻的挑战. 本文介绍了SOI器件中3种主要的电离辐射效应并对比了体硅器件和SOI器件辐射效应的差异. 针对寄生双极晶体管导致SOI器件单粒子效应和剂量率效应敏感性增强的问题, 提出了相应地减弱寄生双极晶体管效应的加固方法. 针对SOI器件抗总剂量效应差的问题, 分别从材料工艺和器件结构两个层次介绍了SOI器件的总剂量加固技术.

关键词 绝缘体上硅, 总剂量效应, 单粒子效应, 瞬时剂量率效应, 辐射加固技术

对于体硅MOS器件, 通常只有晶圆顶部很薄的一层硅(大约0.1~0.2 μm)才是真正的器件有源区, 而剩下的99.9%的区域只起到机械支撑有源区的作用. 但机械支撑区的存在会对器件的电学性能产生很多负面影响, 如衬底寄生泄漏电流等. 绝缘体上硅(SOI)技术正是源于用较厚的绝缘层将真正的器件有源区和机械支撑区隔离开的想法, 从而避免了机械支撑区对器件有源区的影响. 20世纪60年代, SOI技术开始被实现, 并以其独特的电学特性被广泛地应用在军事和空间领域. SOI器件全介质隔离的结构消除了传统体硅CMOS电路中的门锁效应, 在抗瞬时剂量率效应和单粒子效应上具有天然优势^[1,2]. 然而, SOI器件所具有的一系列寄生效应却降低了其抗辐

射优势的发挥. 通过削弱这些影响SOI优势发挥的寄生效应, 已经开发出具有很高的抗辐射指标的产品, 满足了军事和空间应用的需求. 40多年来, SOI技术的快速发展主要得益于军事和空间上的辐射加固应用^[3]. 到20世纪90年代, 由于SOI材料制备技术的突破, 使得SOI技术开始广泛应用到抗辐射以外的消费类产品中. 现在两种主流的SOI材料制备技术为注氧隔离技术(SIMOX)和Smart-Cut键合技术. 这两种制备技术大大提高了材料的质量, 降低了制造成本, 使得SOI技术的大规模应用成为可能. 最近几年SOI技术在非加固的低压、低功耗电路等方面的应用越来越多. SOI独特的优势也使得它非常适合开发SOC产品, 利用SOI技术可以实现逻辑电路、模拟电路和RF电路

引用格式: 张正选, 邹世昌. SOI 材料和器件抗辐射加固技术. 科学通报, 2017, 62: 1004–1017

Zhang Z X, Zou S C. Radiation hardening technology in SOI materials and devices (in Chinese). Chin Sci Bull, 2017, 62: 1004–1017, doi: 10.1360/N972016-00119

在很小的互扰情况下的单片集成。

1 SOI器件的电离辐射效应

电离辐射给运行在空间和核爆等特殊环境下的电子系统带来了极大的风险。辐射释放的高能粒子会与电子电路中的各种材料相互作用并沉淀能量,产生陷阱电荷或瞬态电流,从而改变器件的性能,干扰电路的正常运行,甚至造成电路的失效。电子元件受辐射作用后,产生的电离辐射效应主要包括:单粒子效应(single event effect, SEE)^[4~6]、瞬时剂量率效应(dose rate effect)^[7]、总剂量效应(total ionizing dose effect, TID)^[8~10]等。只有深入理解了这些辐射效应的基本机理,才能有针对性地开展相应的辐射加固的工作。因此下面将分别介绍这几种电离辐射效应并对比了体硅器件和SOI器件辐射效应的差异。

1.1 单粒子效应

单粒子效应是一种由单个辐射粒子引起的宏观效应,它的产生主要包括3个过程:电荷生成、电荷收集,进而引起电路响应。不同的辐射粒子引起单粒子效应的机制有所不同。

对于重离子,它们在入射到半导体材料中时,会沿着其运行路径直接电离出电子-空穴对。这些电荷的收集取决于器件内部的电场参数和掺杂浓度等。通常,反偏PN结是电荷收集最显著的区域,常被称为敏感节点。当粒子撞击到敏感节点或其附近时,电离产生的电荷在反偏PN结耗尽区中强电场的作用下作漂移运动并被有效收集,在PN结接触端形成瞬态电流。对于体硅器件,沿着入射粒子路径产生的电荷还会造成PN结静电势的瞬态干扰和电场的局部坍塌,这被称为漏斗效应(funnel effect)。漏斗效应导致节电场向衬底深处延伸使得远离节耗尽区的电荷也能通过漂移过程被收集,从而增加了电荷收集的面积,额外的电荷收集也提高了器件对单粒子效应的敏感程度。敏感节点处大量电荷收集形成的瞬态电流会导致电路逻辑电平的变化。如果收集的电荷量超过了临界电荷(critical charge),则会导致该节点的逻辑状态翻转,电路出现软错误。

对于质子或中子,则无法通过直接电离诱发单粒子效应。当高能质子或中子入射撞击硅核时,会导致核内的核子(质子和中子)之间相互碰撞,某些核子从中获得了足够的动能就能逃离硅核。这一过程被

称为核内级联(intra-nuclear cascade, INC)。与此同时,某些轻核也可能从激发的残核中“蒸发”出来。最终核子、轻核和剩下的残核沿着运行轨迹产生电子-空穴对。当其中某个二次离子撞到敏感节点,电荷就会通过漏斗效应和漂移/扩散过程被该节点有效收集,最终产生相应的电路响应。

SOI技术正是通过减少电荷的收集来实现单粒子加固的。图1显示了体硅和SOI器件电荷收集体积的对比。对于体硅技术,由粒子入射产生的电荷将会在敏感电路节点处沿入射粒子轨迹直至硅衬底几个微米的范围内被收集,如图1(a)所示。然而,对于SOI技术,由于绝缘埋层(BOX)的存在,理论上将入射粒子产生的电荷的收集范围限制在栅极下的顶层硅中,如图1(b)所示。一般情况下,顶层硅的厚度较薄(<300 nm),因此SOI器件灵敏电荷的收集体积较体硅器件小了许多。这就使得SOI电路较体硅电路对SEE效应的灵敏度更小。图2^[11]显示了同一工艺节点下SOI和体硅SRAM的单粒子翻转截面的对比。可以看到,无论是重离子还是质子、中子导致的单粒子翻转(single event upset, SEU),SOI的饱和翻转截面都比体硅小了至少一个数量级。

然而,SOI器件中的寄生双极晶体管效应会削弱SOI电路的抗SEU的能力。当高能离子入射到部分耗尽(PD)SOI晶体管的体区时,将会电离产生电子-空穴对,体区中的少数载流子很快复合,而多数载流子由于其寿命很长将会在电场的作用下向源区漂移;从而,降低了源与体之间的电势,引起源极向体区的少数载流子注入,这些注入的载流子将会被漏极所收集。这个过程类似于双极晶体管发射区向基区注入电荷。双极电流将使由于离子入射产生的载流子收集作用增强。如果对寄生双极晶体管的这种放大

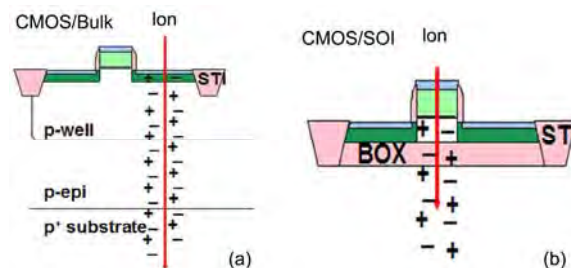


图1 (网络版彩色)体硅器件(a)和SOI器件(b)灵敏电荷的收集体积对比^[2]

Figure 1 (Color online) Comparison of the sensitive charge collection volumes between (a) bulk-silicon; (b) SOI transistor^[2]

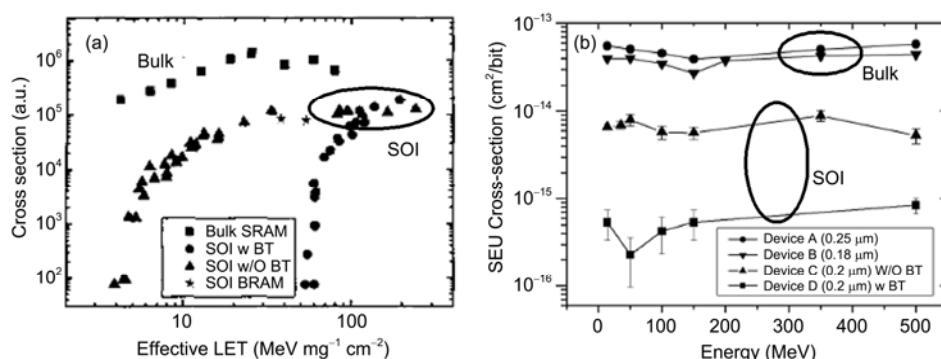


图2 同一工艺节点下SOI和体硅SRAM的单粒子翻转截面的对比。(a) SOI和体硅SRAM的重离子翻转截面对比；(b) 中子和质子导致的体硅和SOI SRAM翻转截面对比^[11]

Figure 2 (a) Heavy ion cross-section versus effective LET measured for SOI and bulk SRAM; (b) neutron and proton-induced SEU cross-sections versus particle energy on bulk and SOI SRAMs^[11]

作用不加以限制, SOI在抗单粒子效应方面的优势将会大大降低. 对于无浮体效应的全耗尽(FD)SOI晶体管, 其寄生双极晶体管效应较PDSOI晶体管小得多. 因此, FDSOI电路对单粒子效应没有PDSOI电路那么敏感.

随着工艺节点不断缩小, MOS器件的尺寸和工作电压也在不断减小. 这对SOI和体硅电路的单粒子效应带来了两方面的影响: 一方面电路敏感节点的临界电荷逐渐降低, 如图3(a)所示^[12,13]. 临界电荷的减小导致电路对单粒子效应越来越敏感. 研究表明, 在更先进的工艺节点下, 质子直接电离产生的电荷就能导致电路的翻转. 另一方面, 单个器件的敏感体积逐渐减小, 如图3(b)所示. 随着单个晶体管电荷收集体积的减小, 单个存储单元的软错误率可能有所降低, 但整个芯片级的软错误率并不会因此降低. 同时, 在先进工艺节点下, 存储单元排布得越来越密

集, 单个粒子入射感应的电荷可能同时被多个敏感节点同时收集, 这被称为电荷分享效应. 电荷分享效应使得发生多位翻转(multiple bit upsets, MBU)的概率越来越大. 另外, 由于电路的工作频率不断增加, 单粒子瞬态效应变得非常显著. 当工艺节点降到100 nm以下时, 粒子入射到组合逻辑电路产生的单粒子瞬态脉冲宽度大致与信号脉冲宽度相当, 其最终被存储单元锁存并导致软错误的概率也越来越大.

除了SEU等软错误外, 单粒子入射还可能导致SOI电路发生硬错误. 虽然全介质隔离消除了PNPN寄生通道, 使得SOI电路完全避免了经典意义上的单粒子闭锁. 但由于SOI的特殊结构, 一种叫单晶体管闭锁(single event snapback, SEB)的效应仍会引起SOI器件的硬错误. 引起急速折回(snapback)的机理是由寄生双极性晶体管增强的正反馈效应. 对于n沟道晶体管, 由高能入射粒子电离产生的空穴, 在电场的作

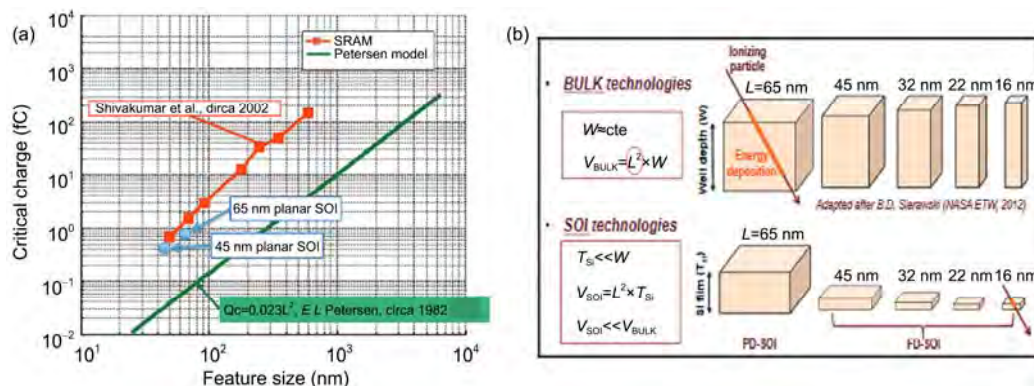


图3 (网络版彩色)(a) 体硅和SOI SRAM的临界电荷随工艺节点缩小而降低；(b) 体硅和SOI工艺中辐射敏感体积随工艺节点缩小而缩小^[12,13]

Figure 3 (Color online) (a) Scaling of critical charge as a function of device feature size for bulk and SOI SRAMs; (b) scaling of sensitive volume as a function of device feature size for bulk and SOI technology^[12,13]

用下向源区漂移从而降低了源体结电势,引起电子注入到体区;电子在电场的作用下漂移到漏区,如果漏区电场强度很强,碰撞电离将会产生附加的电子-空穴对.碰撞电离产生的空穴也会向源区漂移,引起更多的电子注入到体区.该正反馈机制构成了发生急速折回的条件.如要器件恢复正常工作,必须使漏电压降低到维持碰撞电离所需电压以下.

1.2 瞬时剂量率效应

SOI技术最初就是被应用于提高高剂量率辐射环境下电路的加固性能.由于SOI技术完全消除了体硅器件中的寄生PNPN锁结结构且具有很小的结面积,因此有可能制造出在很高的剂量率下不发生翻转的电路.

图4给出了在剂量率辐射环境下,带有寄生晶体管结构的体硅与SOI器件的结构.对于体硅器件,寄生的可控硅结构在较高的辐射剂量率下将会被触发而导致闭锁效应的发生.对于SOI器件,由于每个晶体管通过介质与相邻的晶体管隔开,阻止了典型的闭锁通道.另外,SOI器件的辐射敏感区域体积较体硅器件有较大的减小.对于典型的5 μm 厚外延层体硅器件,其灵敏体积达几十立方微米;而SOI器件的灵敏体积较体硅小两个数量级.

与单粒子效应类似,SOI器件存在的寄生双极性

晶体管对辐射产生电荷的放大作用也会使得SOI的剂量率加固效果退化.通常,ON偏置的晶体管较OFF偏置在剂量率辐射环境下更不敏感,这是由于在通常的剂量率范围内辐射产生的光电流远小于晶体管的导通电流.因此,一般情况下,研究瞬时剂量率下的效应主要针对OFF偏置晶体管.对于n沟道器件,辐射在SOI晶体管较小的敏感体积内产生的电子主要是通过漂移被漏极所收集,同时向体区注入等量的空穴.当向体区注入足够高的电荷使得体源结正偏后,双极晶体管的放大作用将会被触发.随着双极放大作用的触发,最初产生的光电流会被寄生双极晶体管放大.增加的光电流使得晶体管恢复截止状态的速率变慢.恢复时间取决于反偏漏结附近碰撞电离载流子产生率与体区复合率之间的竞争.在某些高剂量率辐射条件下,碰撞电离载流子产生率过大可能还会导致单管闭锁.

1.3 总剂量效应

总剂量效应是指辐射在氧化层中感应的陷阱电荷导致的器件性能退化.一个MOS器件通常包含多个氧化层,如栅氧化层、场区氧化物等.在深亚微米工艺下,器件的栅氧化层非常薄(小于10 nm).由于辐射在氧化层中引入的陷阱电荷密度正比于氧化层的厚度,栅氧层的总剂量效应产生的影响有限,甚至可以忽略不计.但是浅沟槽隔离(shallow trench isolation, STI)氧化层通常很厚,且不随器件尺寸的缩小而缩小,是深亚微米下造成辐射引起器件失效的主要原因^[14,15].

辐照后,STI中带正电的陷阱电荷会导致与之接触的P型硅衬底耗尽甚至反型,从而形成寄生的导电沟道,导致MOS器件关态漏电流增加.如图5所示^[16],体硅工艺下STI中辐射感应的陷阱电荷可能导致两条寄生导电通道:一条导电通道位于器件边缘的N型源端和N型漏端之间,即NMOS的器件内漏电(图中箭头1所示);另一条导电通道位于N型源/漏端和PMOS的N型阱之间,即NMOS与PMOS的器件间漏电(图中箭头2所示).对于SOI器件,全介质隔离的结构使得器件间无漏电通道,STI中陷阱电荷只会导致NMOS器件内的漏电增加.这些寄生导电沟道的存在使得MOS器件无法正常关断,最终导致集成电路静态功耗增加.对于窄沟道的器件,STI中的正陷阱电荷还会影响器件主沟道,导致器件出现明显的阈值电压

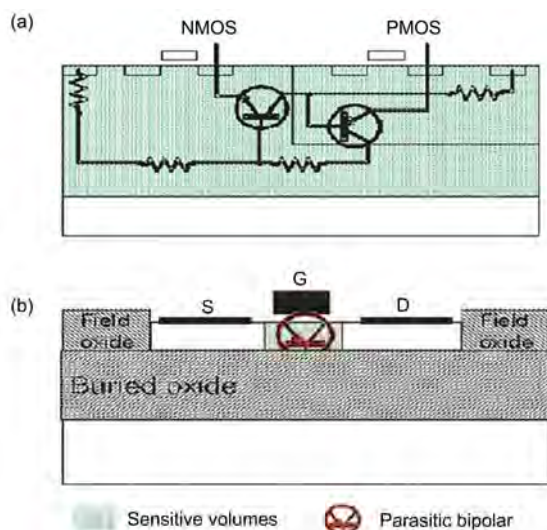


图4 (网络版彩色)瞬时剂量率辐照下,体硅和SOI器件敏感区域以及辐照激发的寄生双极效应示意图^[2]

Figure 4 (Color online) Diagram of the sensitive volumes and the parasitic bipolar transistors activated by a dose rate irradiation in bulk silicon and SOI devices^[2]

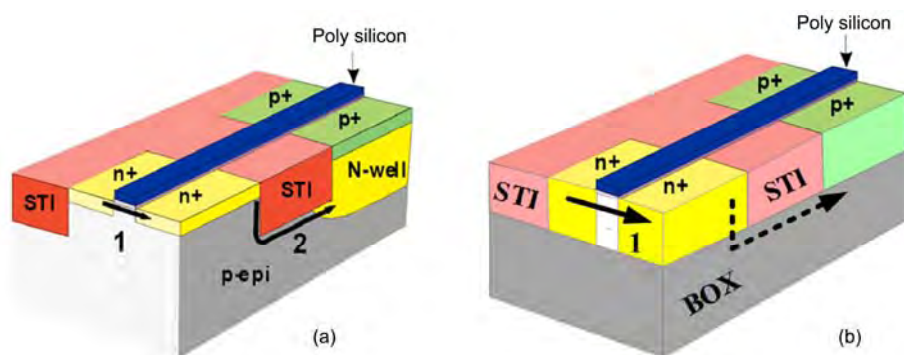


图5 (网络版彩色)STI中辐射感应的陷阱电荷导致的寄生导电通道^[16]. (a) 体硅工艺; (b) SOI工艺

Figure 5 (Color online) Parasitic conductive channels induced by the STI trapped charge^[16]. (a) Bulk-silicon technology; (b) SOI technology

负向漂移.

对于SOI MOS器件还存在一个额外的绝缘埋层, 它同样对总剂量辐射非常敏感^[17,18]. SOI与体硅技术总剂量效应的最大区别在于, 辐射将会在绝缘埋层中引入陷阱电荷. 绝缘埋层的辐射效应与其制备工艺有很大的关系^[19]. 目前, SOI材料制备的两大工艺, 都需要较高温度($\geq 1000^\circ\text{C}$)的退火. 经过高温处理, 将会有一部分氧从绝缘埋层中扩散出去而在绝缘埋层中形成大量的氧空位缺陷. 这些缺陷能够导致辐射感生陷阱电荷的产生. 另外, 在SIMOX材料制备工艺中, 较高的离子注入剂量还会引入许多与注入相关联的缺陷, 这些缺陷也会增加辐射感生电荷的产生.

对于PDSOI器件, 绝缘埋层中的辐射感生陷阱电荷会在背界面附近产生寄生的导电沟道, 从而导致器件关态漏电流增加. 图6显示了一个无侧沟的PDSOI器件辐照前后背栅和前栅的转移特性曲线. 如图6(a)所示, 绝缘埋层中正陷阱电荷的建立将会引

起背栅晶体管 I - V 曲线的较大的负向漂移. 由于背栅器件的阈值电压较高, 当辐照剂量较小时($<200\text{ k}$), 尽管 I - V 曲线负向漂移, 背栅器件在 0 V 时仍不会开启, 因此对前栅不会有太大影响. 只有当背栅 I - V 曲线漂过 0 V 之后, 背栅的漏电增加才会叠加到正栅. 该漏电几乎不受正栅偏压的影响, 使得正栅器件无法完全关断, 如图6(b)所示. 当这种效应足够大时, 就会导致电路参数的改变及引起电路功能失效.

不同于PDSOI器件, FDSOI器件的正栅和背栅间存在很强的耦合. 如图7所示^[20], 当FDSOI器件的背栅处于耗尽状态时, 前栅阈值电压随着背栅偏压的增加而减小, 器件的阈值电压近似与背栅偏置电压呈线性关系. 辐射在绝缘埋层中感生的正陷阱电荷等效于在背栅加了一个正偏压, 因此会造成FDSOI器件正栅阈值电压的负向漂移. 耦合效应使得FDSOI器件对绝缘埋层中的陷阱电荷更加敏感, 因此传统的抗辐射SOI电路更偏向于使用部分耗尽器件.

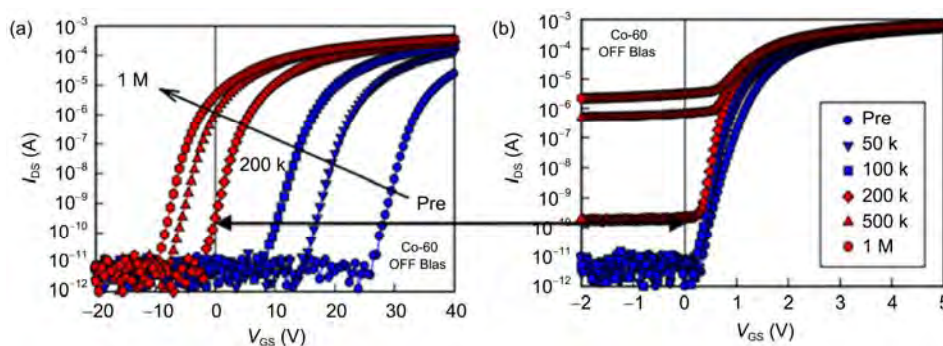


图6 (网络版彩色)无侧沟的PDSOI器件辐照前后背栅和前栅的转移特性曲线. (a) 无侧沟PDSOI NMOSFET器件的背栅; (b) 正栅在不同辐射剂量下的 I - V 曲线^[2]

Figure 6 (Color online) (a) Back-gate; (b) front-gate I - V characteristics of the edgeless PDSOI NMOSFET after different total dose irradiation^[2]

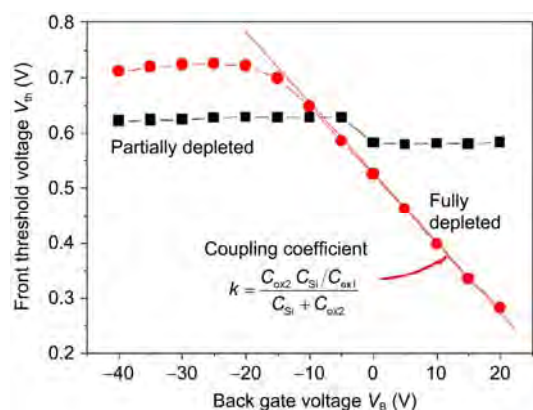


图7 (网络版彩色)FDSOI MOSFET的正栅和背栅间的耦合效应^[20]

Figure 7 (Color online) Coupling effect between front gate and back gate in FDSOI MOSFET^[20]

2 SOI加固技术

2.1 单粒子效应和瞬时剂量率效应加固

由上面的分析可以, SOI器件中的寄生双极晶体管严重制约了其抗单粒子效应和瞬时剂量率效应的能力. 因此为了实现对SOI器件的加固, 必须尽量消除或削弱寄生双极晶体管效应. 许多方法可以用来减小SOI技术中的寄生双极晶体管效应, 如减小体区载流子的寿命等. 但最常用的技术是为浮空体区添加体接触.

常见的体接触方式包括T栅、H栅和体接源(body-to-source, BTS)结构, 如图8所示. 通过体接触将SOI器件的浮空体区接到一个固定电平, 为体区过剩多数载流子提供了有效地排出通道, 降低了双极晶体管的放大系数. 虽然体接触可以很好地抑制寄生双

极晶体管的效应, 但并不能完全消除它. 体接触抑制双极晶体管效应的有效性取决于体接触端和粒子入射的相对位置. 粒子入射位置距离体接触越远, 则寄生双极晶体管效应越大. 造成这种现象的原因是由于沿着晶体管的栅极存在着体电阻, 粒子入射引起的体电流将会沿体产生电压降. 当粒子入射位置与体接触的距离增加时, 沿着体方向上的电压降将会增加, 于是体接触在抑制双极晶体管效应的作用将减小.

体接触可以在一定程度上削弱SOI电路的单粒子效应. 如图9所示, 对于重离子导致的单粒子翻转, 体接触使得SOI的翻转LET阈值提高了数倍; 对于中子导致的翻转, 体接触使得翻转截面减少了近一个数量级. 对于有体接触和无体接触的SOI器件, 瞬时剂量率辐射导致的光电流和寄生双极放大效应也有较大的差异. 实验表明, 体接触可以用来减小由于瞬态辐射引起的浮体效应. 由辐射产生的多数载流子将会在体内积累并扩散到体接触处排出. 瞬时辐射下体接触的可靠性可通过寄生双极晶体管的增益来量化. 理想的体接触可以完全消除寄生双极放大作用. 但实际上的体接触不可能达到如此完美的效果, 光电流仍会被一定程度的放大.

另外, 体硅技术中各种针对于单粒子效应的电路级和系统级的设计加固方法也适用于SOI技术. 电路级加固包括针对存储器和锁存器的冗余结构(如DICE等)、为存储单元添加额外的反馈电阻或电容; 系统级的设计加固包括纠错检错码(error detecting and correction, EDAC)、三模冗余(TMR)等. 但随着工艺节点的缩小, 越来越严重的电荷分享效应会削弱

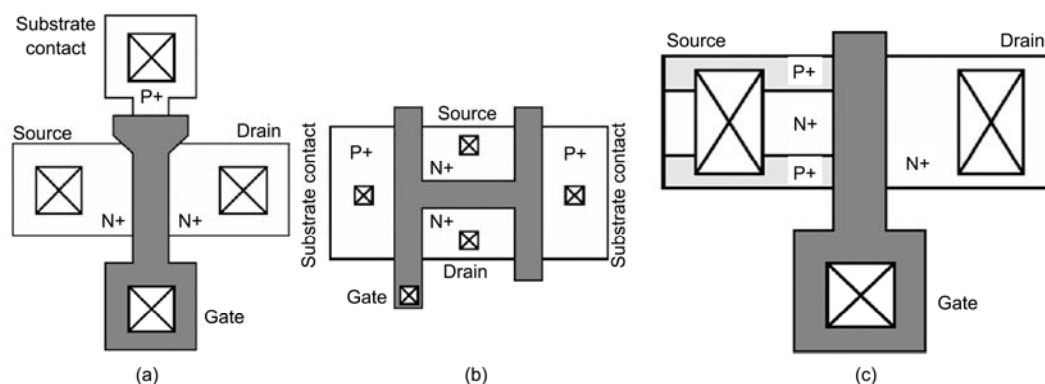


图8 常见的体接触结构. (a) T栅; (b) H栅; (c) 体接源结构

Figure 8 Common body contact structure. (a) T-gate; (b) H-gate; (c) BTS structure

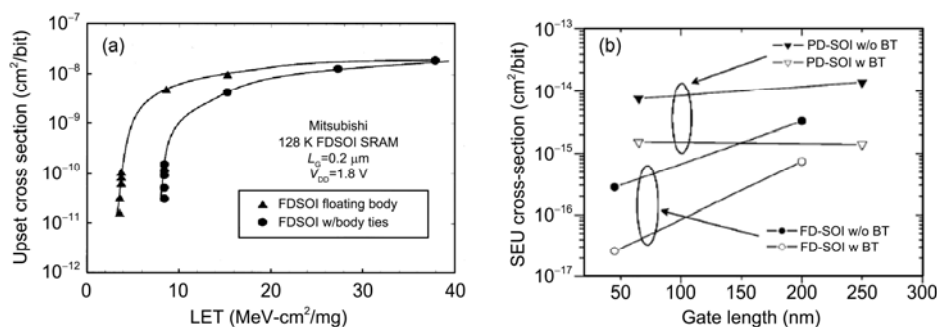


图9 带体接触和无体接触的SOI SRAM中重离子(a)和中子导致的翻转截面对比(b)^[11]

Figure 9 (a) Heavy ion-induced; (b) neutron-induced upset cross section for SOI SRAMs with and without body contact ties^[11]

这些设计加固的有效性。

2.2 总剂量效应加固

SOI MOS器件的总剂量效应比体硅器件更复杂, 必须同时考虑场氧化物和绝缘埋层对器件总剂量辐射响应的贡献。相比于体硅器件更复杂的总剂量效应是制约SOI技术在抗辐射领域发展的一个重要因素。只有解决了SOI材料和器件的抗总剂量加固的问题, 才能为SOI技术的军事化应用排除障碍, 更好地将其应用在抗辐射加固的微电子产品中。

为了消除总剂量辐射对SOI器件的影响, 可以从不同层次来考虑对SOI器件进行抗总剂量辐射加固。(1) 材料工艺层次: 从基础的材料性质出发, 降低器件的总剂量辐射敏感度; (2) 器件结构层次: 采用新型的器件结构或版图结构, 降低器件对总剂量辐射的敏感度。下面我们就SOI器件对总剂量辐射最为敏感的两氧化层——绝缘埋层和浅沟槽隔离氧化层从两个层次分别讨论其加固措施。

(i) 材料工艺加固。绝缘埋层的加固也就是SOI材料的加固, 对绝缘埋层进行抗总剂量加固主要采用离子注入的方法。20世纪80年代后期, Mao等人^[21]研究了注氟及注氮工艺对SOI材料总剂量辐射性能的影响。1993年, Stahlbush等人^[22,23]利用多次注入、多次退火的工艺初步提高了SIMOX材料的抗辐射能力, 后来该小组采用辅助注氧的办法, 进一步降低了BOX中空穴陷阱的密度, 提高了SIMOX材料的抗辐射性能。1998年, Hughes等人^[24]发现SIMOX中注硅能够大大提高其抗总剂量能力, 并申请了相关专利。Mrstik等人^[25]利用硅离子注入到BOX中发现只有当注入离子的浓度达到一定阈值时才能产生电子陷阱来补偿辐射感生的空穴陷阱电荷。目前Honeywell

公司采用加固SIMOX材料已经制备出抗总剂量能力达到50 Mrad(Si)的器件^[26]。经过近30年的发展, SOI材料的加固主要形成以下3种方式: (1) 利用多次注入和辅助注氧等改进的SIMOX工艺来提高SIMOX材料的质量, 与常规全剂量SIMOX材料的制备工艺相比较, 辐射产生的界面电荷和氧化层陷阱电荷大大减小从而对绝缘埋层起到加固作用; (2) 采用较低剂量的N, O共注形成含有氮氧化合物界面的SOI材料以提高绝缘埋层的抗辐射能力; (3) 利用离子注入技术将硅或其他元素注入到SIMOX材料的绝缘埋层中, 在其中产生大量的电子陷阱, 俘获电子以补偿氧化层陷阱电荷, 从而降低绝缘埋层中净正电荷的数量。其中尤以第三种方法最为可靠, 注氮工艺容易在顶层硅中引入额外的施主杂质, 降低顶层硅的电阻率, 而注硅工艺本身对SOI材料并未有引入额外的施主或者受主杂质, 是一种理想的工艺。对于键合的SOI材料, 除了采用对SIMOX材料加固的方法外, 还可以在材料进行键合之前先将加固离子注入到绝缘埋层中, 从而避免了离子注入对顶层硅造成损伤。

图10显示了绝缘埋层注硅加固的SOI衬底制备的H栅器件辐照前后的图10(a)正栅特性曲线和图10(b)背栅特性曲线。H器件屏蔽了STI对器件辐射效应的影响, 因此该器件的总剂量响应反映了SOI材料(即绝缘埋层)的加固效果。由转移特性曲线提取出关态漏电流以及背栅阈值电压漂移随总剂量的变化量与未加固器件对比, 如图11所示。从图10和11中可以看出, 加固器件在总剂量高达2.26 Mrad(Si)时正栅漏电流仍未增加, 维持在0.1 pA水平; 而对于未加固器件在500和1000 krad(Si)时泄漏电流就已经达到了 2.41×10^{-9} 和 5.88×10^{-7} A。这表明注硅加固技术在绝缘埋层中引入的电子陷阱有效地补偿了总剂量辐射引

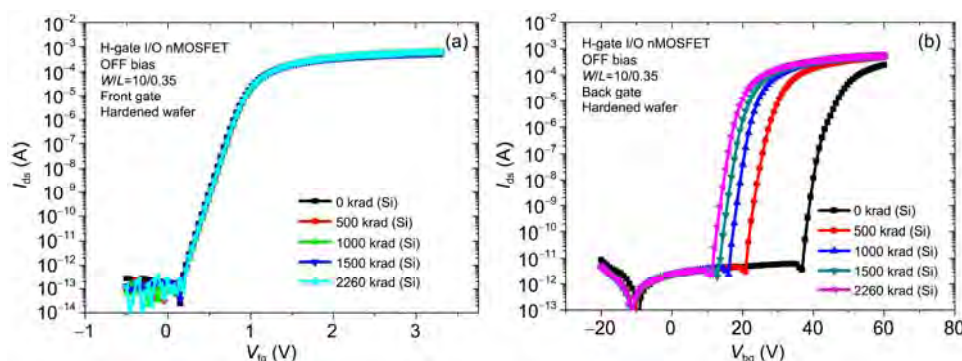


图 10 (网络版彩色)加固SOI衬底制备的H栅器件辐照前后的正栅(a)和背栅转移特性曲线(b)

Figure 10 (Color online) (a) Front-gate; (b) back-gate transfer characteristic curves of the H-gate devices fabricated on the radiation-hardened SOI wafer

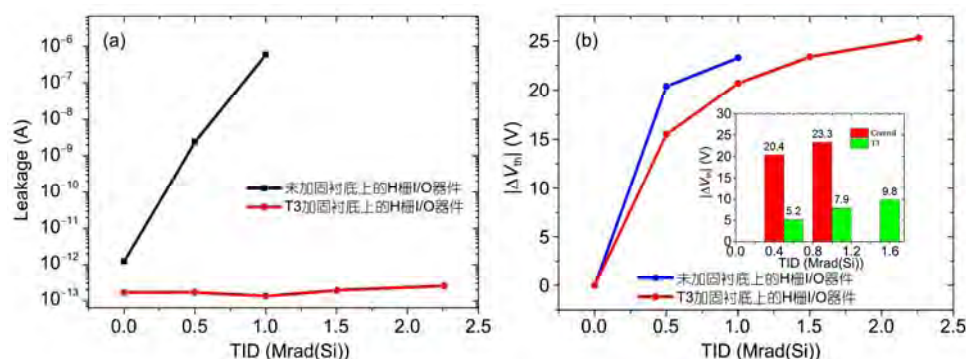


图 11 (网络版彩色)加固SOI衬底制备的H栅器件. (a) 正栅晶体管关态漏电; (b) 背栅晶体管阈值电压漂移曲线随总剂量的变化关系

Figure 11 (Color online) (a) Front-gate off-state leakage current; (b) back-gate threshold voltage shift as a function of the total dose for the H-gate devices fabricated on the radiation-hardened SOI wafer

入的正空穴,大大地增强了SOI材料的抗总剂量能力.这一点也可以从背栅阈值电压随总剂量的漂移上看出来.如图11(b)所示,在500和1000 krad(Si)时未加固器件的背栅漂移量的绝对值分别为20.4和23.3 V;而加固器件的数值为15.5和20.7 V.在这两个剂量点下加固而未加固器件的背栅阈值电压漂移量差别不大,但是由于加固背栅器件的初始阈值电压45 V比未加固的25 V高出许多,导致了加固器件不会引起正栅的辐射感生关态电流增加.注硅加固技术会在绝缘埋层近界面处引入亚稳态的电子陷阱,该类陷阱能够俘获电子或者空穴,从而造成器件阈值电压的漂移.加固器件的背栅阈值电压比未加固器件的高就与该类陷阱密切相关:在器件制备过程中一些利用等离子体工艺的步骤可能会在埋层中的亚稳态陷阱中预先存贮电子,如STI填充氧化物的HDP过程,这些工艺步骤导致了加固器件埋层近界面处的亚稳态电子陷阱俘获了大量的电子从而直接导致了

其背栅阈值电压的反常增加.在总剂量辐射过程中,辐射感生的空穴会在埋层中被俘获,远离界面的位置由于深能级电子陷阱的作用俘获的电子能够补偿俘获空穴的影响,而在近界面处由于亚稳态电子陷阱已经进行了“预补偿”,即已经被电子占据,此处俘获的空穴将大大的减小背栅晶体管的阈值电压,在实验曲线上表现出来的就是500 krad(Si)背栅曲线的明显负漂,如图10所示.因此,500 krad(Si)下曲线的漂移量并不能准确的表征加固材料的抗辐射水平.采用500 krad(Si)后的辐照剂量才能准确的表征.图11(b)中的内嵌图即为加固器件以500 krad(Si)为基准剂量时的阈值电压漂移量.从该图可以看出,加固器件的在新的500, 1000, 1760 krad(Si)剂量时曲线漂移量为-5.2, -7.9, -9.8 V,表现出优异的抗辐射性能.

图12为绝缘埋层注硅加固的SOI衬底制备的H栅器件的正栅、背栅线性区跨导随总剂量的变化曲线.器件的正栅跨导峰值随总剂量的增加而增加,这说

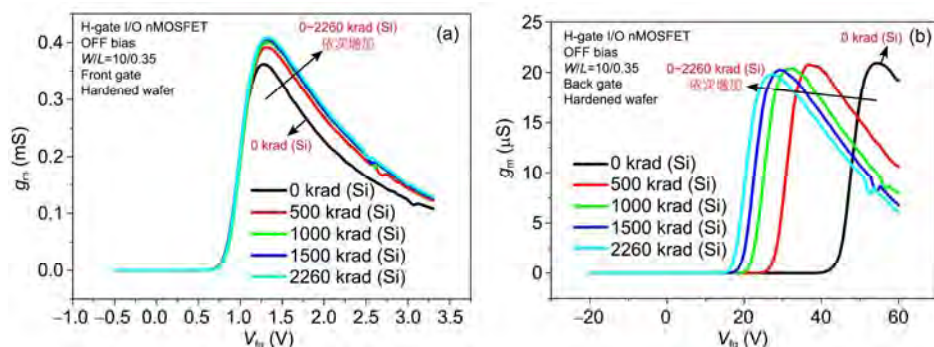


图12 (网络版彩色)加固SOI衬底制备的H栅器件的正栅(a)和背栅跨导随总剂量辐照的变化关系(b)

Figure 12 (Color online) (a) Front-gate; (b) back-gate transconductances as a function of the total dose for the H-gate devices fabricated on the radiation-hardened SOI wafer

明正栅沟道电子迁移率在辐照之后会增加。而普遍认为辐射引入的界面陷阱会降低电子的迁移率。正栅跨导的反常增加可能是由于栅氧工艺本身造成的,总剂量辐射在一定程度上“中和”了工艺本身引入的界面缺陷,这一点有待深入研究。背栅跨导的降低却可以忽略不计,这说明加固技术不仅有效的补偿了俘获空穴的影响,还能抑制背栅界面陷阱的形成。

现代CMOS工艺中的浅沟槽隔离氧化层一般由两部分组成:高温热氧生长的liner oxide以及后续的HDP CVD淀积的氧化层。有研究表明,STI氧化层对总剂量比SOI器件中栅氧和绝缘埋层更为敏感。原理上,利用离子注入加固BOX层的方法都可以用来对STI氧化层进行加固。另外Krantz等人^[27]对不同温度下的氮氧化物及再氧化的氮氧化物进行了研究,发现只有在1050℃下氮化处理的氮氧化物能够有效的抑制辐射感生空穴陷阱电荷。此外,Watanabe等人^[28]提出了采用Si₃N₄/SiO₂或者PSG/SiO₂双层结构的氧化物抗辐射性能良好。这些改性工艺和改性结构都可以单独或者组合使用来进行STI工艺加固。

与BOX加固类似,在制备STI的过程中可以考虑向STI氧化层中注入硅离子,然后经过后续的退火工艺,产生具有大电子俘获截面的纳米硅晶来加固STI。为了评估STI氧化层注硅的加固效果,我们研究了3种不同的样品——#1, #2和#3的总剂量辐射效应。其中#3是未注硅的商用对比样品, #1和#2为注硅样品,但注硅工艺条件有所不同。对于#1,对热生长的liner氧化层和HDP CVD淀积的氧化层同时注硅。对于#2,则只在STI liner氧化层注入了硅。

图13显示了#1, #2和#3的转移特性曲线的对比结果。3种样品前栅的转移特性曲线完全重合,说明

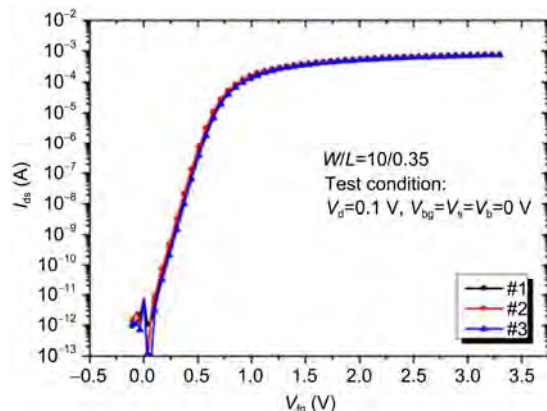


图13 (网络版彩色)3种样品的前栅转移特性曲线对比

Figure 13 (Color online) Comparison of the front-gate transfer characteristic curves for the three samples

STI氧化层注硅不会影响器件的常规电学参数。图14显示了#1和#3的前栅转移特性曲线随总剂量的变化关系。可以看到,两者对辐射的敏感度有较大的差异。#1在100 krad(Si)时几乎没有出现退化;在200 krad(Si)时,泄露电流才有所增加且增加额度在一个数量级之内。而对比片#3在100 krad(Si)辐照后就已经发生严重的退化,其泄露电流相对于辐照前增加了四个数量级。也就是说,在STI氧化层中注硅确实能够达到改善总剂量辐射效应的目的。图15显示了#1, #2和#3三种样品关态漏电流随总剂量的变化关系。无论是在整个STI氧化层中注硅,还是仅在STI liner氧化层中注硅,辐射导致的STI侧壁泄漏电流都得到明显的改善。

基于前人的研究成果,对氧化层进行氮化处理可以减少Si/SiO₂界面附近的氧空位陷阱,也是一种比较有潜力的总剂量加固手段。利用氮化处理进

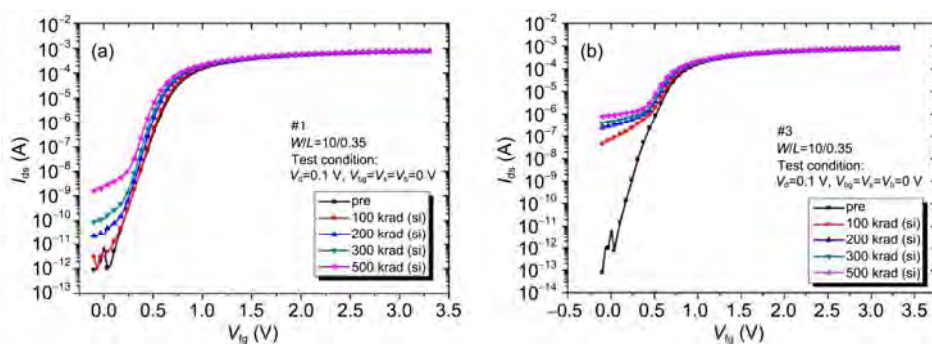


图 14 (网络版彩色)器件的前栅转移特性曲线随总剂量的变化关系。(a) #1; (b) #3

Figure 14 (Color online) Front-gate transfer characteristic curves as a function of the total dose. (a) #1; (b) #3

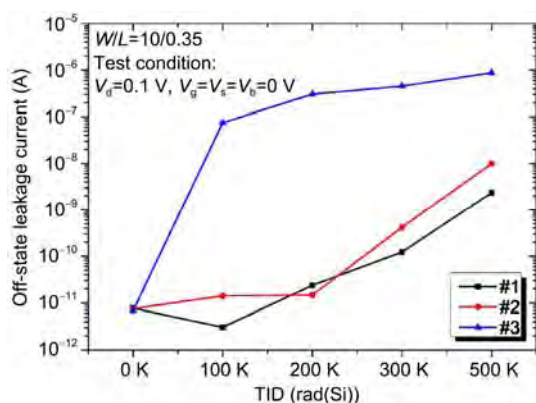


图 15 (网络版彩色)3 种样品关态漏电流随总剂量的变化关系

Figure 15 (Color online) Off-state leakage current of the three samples as a function of the total dose

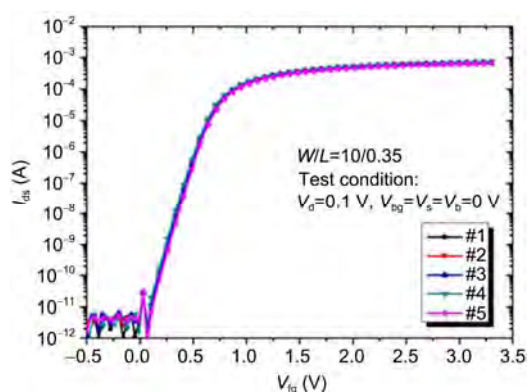


图 16 (网络版彩色)经过NO退火的器件与商用器件的前栅转移特性曲线对比

Figure 16 (Color online) Comparison of front-gate transfer characteristic curves between the hardened and unhardened devices

行加固的关键是引入了N原子, 它能与较弱的Si-Si键反应形成更强的Si-N键。采用这种方法来进行辐射改性, 不仅工艺简单, 容易实现, 而且对器件的电学参数影响较小, 可以很方便地与其他商用工艺整合在一起。

图16显示了经过NO退火的器件与商用器件前栅转移特性曲线的对比。其中样品#1, #2, #3和#4是经过NO退火的加固样品, 它们的退火条件各不相同。#5是未加固的商用器件。5种样品的前栅转移曲线几乎完全重合, 这说明NO退火不会改变器件的常规电学性能。

经过NO退火的器件在辐照后的关态漏电流明显小于商用器件, 如图17所示。其中抗辐射性能最好的为#1。在不同的剂量点下, #1的关态漏电流比#5至少小一个数量级。值得注意的是, 由于退火条件的不同导致4个加固样品#1~#4的加固效果存在较大差异。因此, 为了取得最好的加固效果, 必须谨慎选取NO

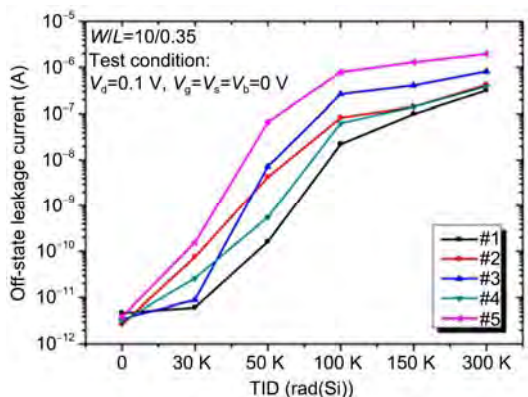


图 17 (网络版彩色)经过NO退火的器件与商用器件关态漏电流随总剂量的变化关系

Figure 17 (Color online) Off-state leakage current of the hardened and unhardened devices as a function of the total dose

的退火条件。

(ii) 器件结构加固。除了工艺加固的办法, 采用新的器件结构也能够抑制绝缘埋层总剂量效应对

主晶体管特性的影响. 其中一种能够显著消除背栅漏电对前栅晶体管影响的器件结构是BUSFET(body-under-source field effect transistor), 如图18所示. 该晶体管的源极并未与漏极一样直接延伸到绝缘埋层, 源极的深度仅占顶层硅的一部分. 体接触的方式是通过在源区一侧形成P⁺掺杂区域与P型体区相连. 当器件的背界面因为绝缘埋层中空穴陷阱电荷产生反型层时, 由于源区并未与反型层联通, 背界面处不能形成完整的导电沟道, 因此背沟反型并不能形成关态漏电流. 该结构的缺点是制备工艺复杂、器件结构不对称.

对于浅沟槽隔离氧化物的总剂量效应引起的器件性能退化, 采用版图改进的办法同样也能起到较好的辐射加固效果. 其加固原理主要是削弱或屏蔽掉STI寄生漏电对主晶体管的影响. 例如, 利用部分耗尽器件的某些体引出结构能够消除STI寄生侧壁漏电路径. 如图8所示, T栅结构能够在有体接触的一侧消除寄生边缘漏电路径, 减小总剂量辐射下的漏电水平, 但是效果有限; 而H栅和体接触源结构都能够完全地消除STI寄生侧壁漏电路径, 具有良好的抗总剂量辐射能力. 另外, 使用无边缘结构的SOI器件也有很高的抗总剂量能力, 如图19所示. 但是无边缘晶体管也会带来一些问题: 栅环绕源极/漏极带来额外的面积开销, 导致版图面积是常规器件的3~4倍; 环栅器件的源漏面积比常规器件更大, 因而源漏电容加大; 环形栅增加了一部分不必要的栅面积, 导致单位宽度栅氧电容增大; 器件结构非对称; 此外, 标准商用PDK并不支持环形栅器件, 不能自动生成版图、进行DRC、LVS检查, 需要重新开发模型.

3 展望

数十年来, SOI技术的发展一直以军事和空间领域的抗辐射加固应用为背景, 其主要原因是利用SOI

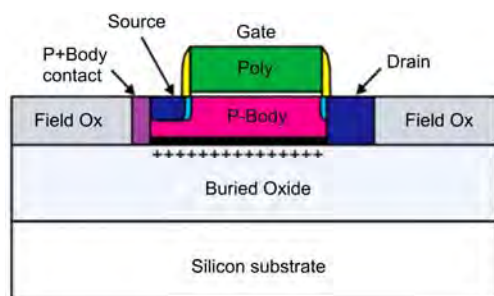


图18 (网络版彩色)BUSFET器件结构示意图^[29]

Figure 18 (Color online) Diagram of the BUSFET device structure^[29]

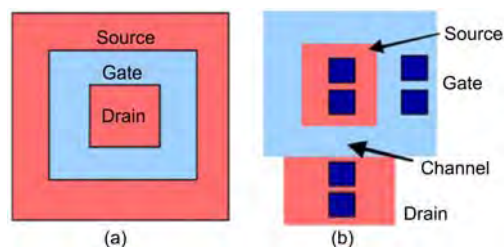


图19 (网络版彩色)无边缘SOI晶体管结构. (a) 环栅; (b) 环源

Figure 19 (Color online) Structure of the edgeless SOI transistor. (a) All-around gate; (b) all-around source

技术能够实现器件的全介质隔离, 消除了体硅CMOS电路的寄生NPNP通道, 具有良好的抗门锁效应和抗瞬时剂量率效应的能力. 西方各大国包括美国和俄罗斯都投巨资开发和利用SOI技术, 并将这一技术应用在武器装备及卫星上, 以提高战略武器的突防能力和卫星的在轨运行寿命. 美国于2002年起投入巨资, 重点支持三家公司发展军用抗辐射SOI技术, 使得美国的抗辐射SOI技术从2002年的0.35~0.5 μm 的技术节点迅速提升到0.15 μm . 经过多年发展后, 美国的抗辐射SOI技术已经成为确保其核威慑有效性及空间武器作战系统高抗辐射性能的关键技术. 美国DAPPA战略规划中也明确指出将以前沿的商用SOI工艺技术为基础进行抗辐射加固设计, 并研究通过面积和性能的折衷来获得综合抗辐射性能指标优秀的电路. 该规划还明确指出, 以SOI工艺为基础的抗辐射加固技术主要针对电离辐射引起的总剂量效应和单粒子效应, 此两类效应是导致半导体器件性能退化和功能失效的最主要原因.

早在“七五”、“八五”和“九五”期间, 我国就开展了关于SOI技术和SOI器件的研究, 之后更是投入了大量的研究经费对SOI相关的关键技术进行研究和攻关, 取得了技术上的较大进展: 在商用材料方面, 中国科学院上海微系统与信息技术研究所孵化的新傲科技有限公司突破了一系列SOI晶圆材料制备的关键技术, 建成了SOI晶圆材料生产线, 解决了SOI晶圆材料的“有无”问题; 在SOI晶圆材料抗辐射加固方面, 针对SOI技术在抗辐射应用中存在的抗总剂量辐射能力差的突出问题, 中国科学院上海微系统与信息技术研究所信息功能材料国家重点实验室自2002年以来重点研究SOI材料的抗总剂量辐射加固技术, 探索了多种离子注入加固方法, 并在SOI材料抗总剂量加固技术方面取得了关键突破, 大大提高了SOI材料的抗总剂量辐射能力; 在SOI工艺平台方面, 中国电子科

技集团第58所建立了具有批量生产能力的0.8 μm SOI CMOS抗辐射加固技术平台,其利用该技术平台并结合国产的SOI材料制备的SOI CMOS器件的电学参数、抗辐射水平、成品率均在规范要求范围内。近年来,中国科学院上海微系统与信息技术研究所基于某半导体制造有限公司的0.13 μm SOI CMOS技术平台,自主开发了抗辐射STI加固工艺,大大改善了SOI器件在抗总剂量辐射方面存在的短板与不足;在器件和电路方面,目前中国科学院微电子研究所是我国SOI CMOS抗辐射电子器件产品研制的骨干单位之一,研制的产品已涵盖航天军工急需的多个品种、多个系列,产品列入抗辐射电子器件产品国产化目录;在SOI器件总剂量效应方面,西北核技术研究所开展过商用SRAM总剂量效应的研究,初步提出大规模集成电路总剂量效应测试方法。中国科学院新疆理化技术研究所开展了SOI器件和电路的总剂量效应及评估方法的研究。中国空间技术研究院开展了深亚微米SRAM的辐射效应规律的研究等;在SOI器件与电路单粒子辐射效应方面,国内的研究工作主要基于地面模拟实验装置,例如北京HI-13串列加速器、兰州重离子加速器单粒子效应研究装置等,基于加速器辐照源对单粒子效应开展了大量的研究工作,并获得了一系列重要的成果。

虽然国内各研究机构开展了微米、亚微米SOI器件与电路辐射效应的相关研究工作,并取得了大量的研究成果,为进一步深入开展相关研究工作奠定了坚实的基础。但由于受到国内工业基础、研究经费和工艺技术手段限制等因素的影响,我国在深亚微米、超深亚微米SOI器件与电路的辐射效应研究以及抗辐射加固技术研究方面与国外的先进水平尚存在较大的差距。在总剂量效应研究方面:对于抗辐射SOI集成电路,国外的抗电离辐射总剂量水平普遍已经达到了1 M rad(Si)以上;而国内SOI CMOS器件与电路的抗总剂量辐射水平较低,普遍处于100 krad(Si)左右,部分在300 krad(Si)。对深亚微米甚至超深亚微米级SOI CMOS器件与电路中出现的一些新的辐射损伤效应和可靠性的机理研究尚不充分和

深入。同时,缺乏深亚微米SOI CMOS总剂量辐照测试的验证电路。对于深亚微米SOI CMOS器件与电路,特别是对于大规模集成电路的抗总剂量辐射能力的测试和评判,目前缺乏成熟、特别是可操作性强的评估方法和技术,急需建立与深亚微米SOI CMOS器件工艺技术、工作模式、损伤特性和损伤机制相匹配的辐射损伤测试方法和抗辐射能力评判标准。在单粒子效应研究方面:国外抗辐射SOI集成电路的抗单粒子翻转阈值达到了100 MeV cm^2/mg 以上,无单粒子门锁。相比之下,由于SOI材料体系选择、工艺技术限制和抗辐射加固设计能力等因素的影响,国内的抗辐射SOI电路和产品的抗单粒子水平普遍较低。国外针对在空间辐射环境下发生的单粒子效应,立足于试验和计算机模拟两种研究方式,主要进行了理论机制研究、微观仿真分析、辐射模型开发、仿真工具开发、测试芯片验证和抗辐射加固设计技术研究等。并且能够很好地结合半导体器件宏观微观结构和粒子与物质相互作用的物理过程等信息进行深入理论探索和仿真分析。反观国内对单粒子效应的研究,无论是在试验观测还是理论模拟分析,均缺乏系统性的研究。而在辐射模型开发和仿真工具开发方面,更是处于初步探索的阶段。国内在深亚微米SOI CMOS测试芯片试验验证方面还较少实践,其抗单粒子辐射能力还有待进一步验证,加固技术方法有待进一步完善,抗辐射加固电路和ASIC芯片的种类仍然较少。在瞬时辐射效应方面:SOI CMOS电路的抗瞬时辐射水平普遍较低(国内大多电路处在 $10^9\sim 10^{10}$ rad(Si)/s量级左右,而国外已达到 10^{11} rad(Si)/s以上),关于深亚微米SOI CMOS瞬态辐射测试芯片实验验证同样较少实践。国内在仿真技术研究、模型开发、失效模式分析方面,仍需完善相关理论;深亚微米SOI CMOS器件与电路的抗瞬时加固技术有待进一步研究与验证。

综上所述,SOI技术在抗瞬时辐射效应和抗单粒子效应方面优势使得其在军事和空间等应用领域具有重大潜力。因此,有必要在深亚微米SOI CMOS器件与电路的辐射损伤机理及其加固技术等方面开展深入的研究工作,进一步缩短与国外的差距。

参考文献

- 1 Simoen E, Gaillardin M, Paillet P, et al. Radiation effects in advanced multiple gate and silicon-on-insulator transistors. *IEEE Trans Nucl Sci*, 2013, 60: 1970–1991
- 2 Schwank J R, Ferlet-Cavrois V, Shaneyfelt M R, et al. Radiation effects in SOI technologies. *IEEE Trans Nucl Sci*, 2003, 50: 522–538
- 3 Wolf S, Tauber R N. *Silicon Processing for The VLSI Era (Vol. 4)*. Sunset Beach: Lattice Press, 2002
- 4 Hubert G, Artola L, Regis D. Impact of scaling on the soft error sensitivity of bulk, FDSOI and FinFET technologies due to atmospheric radiation. *Integration-the VLSI J*, 2015, 50: 39–47
- 5 Ferlet-Cavrois V, Massengill L W, Gouker P. Single event transients in digital CMOS—areview. *IEEE Trans Nucl Sci*, 2013, 60: 1767–1790
- 6 Reed R A, Kinnison J, Pickel J C, et al. Single-event effects ground testing and on-orbit rate prediction methods: The past, present, and future. *IEEE Trans Nucl Sci*, 2003, 50: 622–634
- 7 Alexander D R. Transient ionizing radiation effects in devices and circuits. *IEEE Trans Nucl Sci*, 2003, 50: 565–582
- 8 Fleetwood D M. Total ionizing dose effects in MOS and low dose rate sensitive linear bipolar devices. *IEEE Trans Nucl Sci*, 2013, 60: 1706–1730
- 9 Nam J, Kang C Y, Kim K P, et al. Influence of ionizing radiation on short-channel effects in low-doped multi-gate MOSFETs. *IEEE Trans Nucl Sci*, 2012, 59: 3021–3026
- 10 Cardoso A S, Chakraborty P S, Lourenco N E, et al. Total ionizing dose response of triple-well FET-Based wideband, high-isolation RF switches in a 130 nm SiGe BiCMOS technology. *IEEE Trans Nucl Sci*, 2013, 60: 2567–2573
- 11 Baggio J, Ferlet-Cavrois V, Lambert D, et al. Neutron and proton-induced single event upsets in advanced commercial fully depleted SOI SRAMs. *IEEE Trans Nucl Sci*, 2005, 52: 2319–2325
- 12 Roche P, Autran J L, Gasiot G, et al. Technology downscaling worsening radiation effects in bulk: SOI to the rescue. In: *Proceedings of 2013 IEEE International Electron Devices Meeting*. New York: IEEE, 2013. 31.1.1–31.1.4
- 13 Massengill L W, Bhuva B L, Holman W T, et al. Technology scaling and soft error reliability. In: *Proceedings of Reliability Physics Symposium 2012 IEEE International*. New York: IEEE, 2012. 3C.1.1–3C.1.7
- 14 Gaillardin M, Goiffon V, Marcandella C, et al. Radiation effects in CMOS isolation oxides: Differences and similarities with thermal oxides. *IEEE Trans Nucl Sci*, 2013, 60: 2623–2629
- 15 Peng C, Hu Z Y, Zhang Z X, et al. Total ionizing dose effect in 0.2 μm PDSOI NMOSFETs with shallow trench isolation. *Microelectron. Reliab*, 2014, 54: 730–737
- 16 Vanvonno N W. IEEE nuclear and space radiation effects conference short course. *IEEE Trans Nucl Sci*, 2007, 54: 3890–3891
- 17 Gaillardin M, Martinez M, Paillet P, et al. Impact of SOI substrate on the radiation response of ultrathin transistors down to the 20 nm node. *IEEE Trans Nucl Sci*, 2013, 60: 2583–2589
- 18 Kochiyama M, Sega T, Hara K, et al. Radiation effects in silicon-on-insulator transistors with back-gate control method fabricated with OKI Semiconductor 0.20 μm FD-SOI technology. *Nucl Instrum Meth Phys Res A*, 2011, 636: S62–S67
- 19 Stahlbush R E, Campisi G J, McKitterick J B, et al. Electron and holetrapping in irradiated Simox, Zmr and Besoiburied oxides. *IEEE Trans Nucl Sci*, 1992, 39: 2086–2097
- 20 Ferlet-Cavrois V, Gasiot G, Marcandella C, et al. Insights on the transient response of fully and partially depleted SOI technologies under heavy-ion and dose-rate irradiations. *IEEE Trans Nucl Sci*, 2002, 49: 2948–2956
- 21 Mao B Y, Chen C E, Pollaek G, et al. Toatldose hardening of buried insulator in implanted silicon-on-insulator structures. *IEEE Trans Nucl Sci*, 1987, 34: 1692–1697
- 22 Stahlbush R E, Hughes H L, Krull W A. Reduction of charge trapping and electron tunneling in SIMOX by supplemental implantation of oxygen. *IEEE Trans Nucl Sci*, 1993, 40: 1740–1747
- 23 Boesch Jr H E, Taylor T L, Krull W A. Charge trapping and transport properties of SIMOX buried oxides with supplemental oxygen implantation. *IEEE Trans Nucl Sci*, 1993, 40: 1748–1754
- 24 Hughes H, McMarr P. Radiation hardening of SOI by ion implantation into the buried oxide. US Patent, 1998, 5795813A
- 25 Mrstik B J, Hughes H L, Gouker P, et al. The role of nanoclusters in reducing holetrapping in ion implanted oxides. *IEEE Trans Nucl Sci*, 2003, 50: 1947–1953
- 26 Liu S T, Jenkins W C, Hughes H L. Total dose radiation hard 0.35 μm SO1 CMOS technology. *IEEE Trans Nucl Sci*, 1998, 45: 2442–2449
- 27 Krantz R J, Scarpulla J, Cable J S. Totaldose-inducedcharge buildupinnitried-oxide MOS devices. *IEEE Trans Nucl Sci*, 1991, 38: 1746–1753
- 28 Watanabe K, Kato M, Okabe T, et al. Radiation effectof double-layerdielectricfilms. *IEEE Trans Nucl Sci*, 1986, 33: 1216–1222
- 29 Schwank J R, Shaneyfelt M R, Draper B L, et al. BUSFET-aradiation-hardened SOI transistor. *IEEE Trans Nucl Sci*, 1999, 46: 1809–1816

Summary for “SOI 材料和器件抗辐射加固技术”

Radiation hardening technology in SOI materials and devices

ZHANG ZhengXuan* & ZOU ShiChang

State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China

* Corresponding author, E-mail: zxzhang@mail.sim.ac.cn

Based on the great success of silicon material and silicon integrated circuit, the silicon-on-insulator (SOI) technology occurs as a new technology with unique advantages to break the limitation of traditional bulk silicon technology. The existence of the buried oxide (BOX) can fundamentally eliminate the latch-up effect of the bulk CMOS technology. The sensitive volume of charge collection in SOI device is smaller than in bulk one, potentially making SOI devices much more hardened to dose rate effect and single-event upset, the upset cross section is nearly two orders of magnitude smaller. These inherent advantages of SOI technology make it very important in military and space applications.

However, the existence of the thick buried oxide also makes the total ionizing dose (TID) effect of the SOI devices more complicated. The radiation-induced trapped charge in the buried oxide can lead to serious degradations of the SOI devices and circuits in the space and nuclear radiation environment, such as the increases of the off-state leakage current in the partially-depleted devices and the decreases of the front-gate threshold voltage in the fully-depleted NMOS devices. Meanwhile, the relatively thick field oxide is also very soft to ionizing radiation. Two common types of field oxide isolation are local oxidation of silicon (LOCOS) and shallow trench isolation (STI). LOCOS isolation has been replaced by STI to reduce spacing between adjacent devices in the advanced submicron technology node. STI induced leakage after TID radiation has become a dramatic problem in modern technologies. Both the STI oxide and the buried oxide can potentially impact the total dose tolerance in SOI transistors. This limits the application of SOI technology in radiation hardening. It is only by solving the problem of the total dose hardening that the SOI technology can better fulfill its military applications. In addition, the single-event effect and dose rate effect of the SOI circuits become more complicated due to the less critical charge for upset, higher operating frequency and enhanced parasitic bipolar effect for the deep submicron technology. All these factors challenge the hardening design technique of the SOI devices and circuits.

In this paper, the difference of ionizing radiation effects between bulk-silicon devices and SOI devices is compared. In order to enhance the radiation hardness of single event effect and dose rate effect in SOI device, the method of suppressing the parasitic bipolar transistor effect is proposed. Furthermore, the radiation hardened methods for TID effect in SOI technology is investigated from two levels: radiation hardened by material and process, radiation hardened by layout. The development of an independent SOI radiation hardening technology will contribute to solve the problem in military electronics, such as radiation hardening, high reliability, and to promote the sustainable development of national defense construction and national security.

silicon on insulator, total ionizing dose effect, single event effect, dose rate effect, radiation hardening

doi: 10.1360/N972016-00119